

REST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-349702
(43)Date of publication of application : 09.12.2004

(51)Int.Cl. H01L 29/786
H01L 21/764
H01L 27/12

(21)Application number : 2004-149812 (71)Applicant : SHARP CORP
(22)Date of filing : 19.05.2004 (72)Inventor : LEE JONG JAN
SHIEN TEN SUU

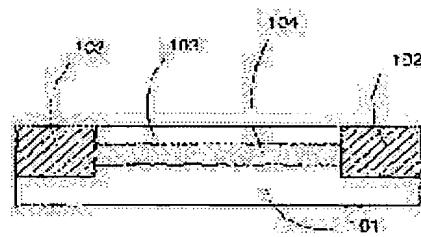
(30)Priority
Priority number : 2003 441674 Priority date : 20.05.2003 Priority country : US

(54) SILICON-ON-NOTHING MANUFACTURING PROCESS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a silicon-on-nothing device on a silicon substrate.

SOLUTION: The silicon-on-nothing device is manufactured on an insulated floating silicon active region, and is completely insulated by an air gap from the silicon substrate. The insulated floating silicon active region is manufactured onto a silicon germanium layer together with an insulating trench that surrounds its periphery. Then, before selectively etching the silicon germanium layer so as to form the air gap, a plurality of anchors are manufactured so that the silicon active region may be fixed to the silicon substrate. Filling and leveling the insulating trench finishes the formation of the insulated floating silicon active region. The silicon-on-nothing device on the insulated floating active region does or does not have an upheaved source or drain region. This may be a polysilicon gate or a metal gate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]**[Claim 1]**

It is the approach of manufacturing the insulated suspension active field on a semi-conductor substrate,

- a) It is the process in which it is the process which forms multi-layer structure on a semi-conductor substrate, and this multi-layer structure contains a sacrifice layer and a cap layer at least,
- b) It is the process at which it is the process which forms this active field surrounded with the insulating trench, and this insulating trench has the place of this sacrifice layer, or the depth of a under from this sacrifice layer,
- c) The process which forms two or more support which fixes this active field to this semi-conductor substrate,
- d) The process which etches this sacrifice layer alternatively

How to include.

[Claim 2]

It is the approach of manufacturing the insulated suspension silicon active field on a silicon substrate,

- a) It is the process in which it is the process which forms multi-layer structure on this silicon substrate, and this multi-layer structure contains a silicon germanium layer and a silicon layer at least,
- b) It is the process at which it is the process which forms this silicon active field surrounded with the insulating trench, and this insulating trench has the place of this silicon germanium layer, or the depth of a under from this silicon germanium layer,
- c) The process which forms two or more support which fixes this silicon active field to this silicon substrate,
- d) The process which etches this silicon germanium layer alternatively

How to include.

[Claim 3]

Said silicon germanium layer is an approach according to claim 2 formed of epitaxial vacuum evaporationo.

[Claim 4]

Said silicon layer is an approach according to claim 2 formed of epitaxial vacuum evaporationo.

[Claim 5]

It is the approach according to claim 2 of being the process into which it is the approach of including a process b1 further after Process b, and a process b1 etches alternatively said a part of silicon germanium layer.

[Claim 6]

It is the approach according to claim 2 of being the process filled up with the air gap by which it was the approach of including Process e further after Process d, and Process e is a process which oxidizes the silicon front face exposed after the process which etches said silicon germanium layer alternatively, and this oxidation was created by alternative etching of this

THIS PAGE BLANK (USPTO)

silicon germanium layer partially or completely.

[Claim 7]

It is the approach according to claim 2 of being the process which is the approach of including Process f further after Process d, and Process f is filled up with said insulating trench, and carries out flattening.

[Claim 8]

It is the approach of manufacturing a silicon-on nothing device on the suspension silicon active field where it is insulated on the silicon substrate,

a) It is the process in which it is the process which forms multi-layer structure on this silicon substrate, and this multi-layer structure contains an epitaxial silicon germanium layer, an epitaxial silicon layer, a gate dielectric layer, and a cap layer at least,

b) It is the process at which it is the process which forms this silicon active field surrounded with the insulating trench, and this insulating trench has the place of this silicon germanium layer, or the depth of a under from this silicon germanium layer,

c) The process which forms two or more support which fixes this silicon active field to this silicon substrate,

d) The process which etches this silicon germanium layer alternatively,

e) The process which fills up with and carries out flattening of this insulating trench,

f) The process which forms the gate, the source, and the drain field of this device

How to include.

[Claim 9]

The thickness of said silicon germanium layer is an approach according to claim 8 which it is for 3nm – 50nm.

[Claim 10]

The germanium content of said silicon germanium layer is an approach according to claim 8 which it is for 20 – 60%.

[Claim 11]

The thickness of said silicon layer is an approach according to claim 8 which it is for 3nm – 100nm.

[Claim 12]

Formation of said silicon active field surrounded with an insulating trench is an approach including the process which specifies the insulating trench which surrounds this silicon active field by the photolithography, and the process which etches the field which is not protected according to the structure specified by this photolithography according to claim 8.

[Claim 13]

Said trench insulation etching is an approach according to claim 12 attained by reactive ion etching.

[Claim 14]

Said insulating trench is the approach according to claim 8 of being the depth of the bottom of 5nm – 50nm from said silicon germanium layer.

[Claim 15]

Said support formation,

The process which deposits a support layer,

The process which specifies support structure by the photolithography,

The process which etches the field which is not protected according to the structure specified by this photolithography

******, an approach according to claim 8.

[Claim 16]

Said silicon germanium layer etching is an approach according to claim 8 attained according to a wet etching process.

[Claim 17]

Said silicon germanium layer etching is an approach according to claim 8 attained according to a reactive-ion-etching process.

[Claim 18]

THIS PAGE BLANK (USPTO)

It is the approach according to claim 8 of being the process into which it is the approach of including a process b1 further after Process b, and a process b1 etches alternatively said a part of silicon germanium layer.

[Claim 19]

It is the approach according to claim 8 of being the process filled up with the air gap by which it was the approach of including a process d1 further after Process d, and a process d1 is a process which oxidizes the silicon front face exposed after alternative etching of said silicon germanium layer, and this oxidization was created by alternative etching of this silicon germanium layer partially or completely.

[Claim 20]

Said source and the drain field of said silicon-on nothing device are the approach according to claim 8 of being the source which upheaved, and a drain field.

[Claim 21]

Said silicon-on nothing device is a method according to claim 8 of having the polish recon gate.

[Claim 22]

Said silicon-on nothing device is a method according to claim 8 of having the metal gate.

[Translation done.]

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[Field of the Invention]****[0001]**

This invention relates to manufacture of a semiconductor device and a silicon on insulator (SOI) device, and the method of manufacturing a silicon-on nothing device especially.

[Background of the Invention]**[0002]**

the case where MOSFET manufactured on the silicon on insulator (SOI) substrate is formed on a bulk silicon wafer substrate — comparing — a high speed and a low power — and high-density — etc. — it has a big advantage. A SOI substrate consists of a bulk silicon wafer, a lower layer of the insulating material on it, and a skin layer of the single crystal silicon on it. Typically, from dozens of nanometers, a surface silicon thin layer is several microns in thickness, and is the silicon channel of a transistor. Usually the insulating layer is manufactured from diacid-ized silicon, is called an embedding oxide, and is usually hundreds of nanometers in thickness.

[0003]

A SOI wafer raises the transistor engine performance reducing the silicon capacity which operates, and by insulating a transistor. A surface silicon thin layer restricts the capacity of the silicon which needs to be charged in a transistor ON and in order to change off, by that, reduces the parasitic capacitance of a transistor and raises a switching rate. Since an insulating layer insulates a transistor from near, the leakage current is reduced and a transistor makes it possible to operate with lower supply voltage, a transistor becomes smaller and it becomes possible to pack by the higher consistency.

[0004]

In the CMOS technology in 50nm or less, in order to prevent the short channel effect, the thickness of a silicon channel and an embedding oxide needs to become much thinner than 50nm and 100nm, respectively. By 5nm, the thickness of a silicone film may have the capacity for the minimum of contraction of CMOS to be 20nm channel length, and for super-SOI whose thickness of embedding oxide is 20nm to control the short channel effect. However, these requirements about the thickness of silicon and the embedding oxide film are over the production capacity of the present SOI wafer. Furthermore, the device engine performance can be raised by the insulator which has the low dielectric constant which must have been attained using an embedding oxide. The lowest dielectric constant of an insulating layer is 1. It means that this has an air gap under a silicon layer, and the improved device is called a silicon-on nothing (SON) device. The SON device simulation about the device proposed theoretically shows the engine performance which improved as compared with the SOI device which has the embedding oxide which has the dielectric constant of 3.9 (see the nonpatent literature 1).

[0005]

The manufacture process of various SON devices that the source and a drain field were connected to the substrate has been proposed. Although manufacture of these devices shows the engine performance which improved, the structure of such a device may lead to concern of the punch-through phenomenon of the substrate which may happen accompanying the higher

THIS PAGE BLANK (USPTO)

parasitism source and drain capacity, and it. For example, please refer to nonpatent literature 1, 2, and 3.

[0006]

Drawing 1 A shows the SON device by the conventional technique. A SON device contains the gate electrode 8, the gate dielectric 7, the source 4, and the drain 5 through the device channel 6 on a silicon substrate 1 with the extensions 4a and 5a of the source and a drain. It insulates with the trench insulator 3 and this SON device floats on an air gap 2. However, an air gap 2 is restricted to the device channel 6, and the source and the drain extensions 4a and 5a. The source 4 and a drain 5 are still connected to the silicon substrate 1. Drawing 1 B shows the top view of the SON device by the conventional technique.

[Nonpatent literature 1] R. Koh, "Buried layer engineering to reduce the drain-induced barrier lowering of sub-0.05micrometer SOI-MOSFET", Japanese Journal of Applied Physics, Vol.38 (1999), pp.2294-2299, Part 1, No.4B, April, 1999

[Nonpatent literature 2] M. Jurczak et al., "Silicon-on-nothing (SON)-an innovative process for advanced CMOS", IEEE Transactions on Electron Devices, Vol.47, No. November, 2000 [11 or], pp.2179-2187

[Nonpatent literature 3] S. Monfray et al., "First 80nm SON(silicon-on-nothing) MOSFETs with perfect morphology and high electrical performance", IEDM Tech. Dig., 2001, p.800

[Nonpatent literature 4] T. Sato et al., "SON(silicon-on-nothing) MOSFET using ESS, empty space in silicon technique for SoC application", IEDM Tech.Dig., 2001, p.809

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0007]

The manufacture process of various SON devices that the source and a drain field were connected to the substrate has been proposed. Although manufacture of these devices shows the engine performance which improved, the structure of such a device may lead to concern of the punch-through phenomenon of the substrate which may happen accompanying the higher parasitism source and drain capacity, and it.

[Means for Solving the Problem]

[0008]

The approach by this invention is a process which is the approach of manufacturing the insulated suspension active field, and forms multi-layer structure on a semi-conductor substrate on a semi-conductor substrate. This multi-layer structure It is the process and the process which forms this active field surrounded with b insulation trench which contains a sacrifice layer and a cap layer at least. This insulating trench The process and the process which forms two or more support which fixes active c this field to this semi-conductor substrate which has the place of this sacrifice layer or the depth of a under from this sacrifice layer, and the process which etches d this sacrifice layer alternatively are included, and this attains the above-mentioned purpose.

[0009]

The approach by this invention is an approach of manufacturing the insulated suspension silicon active field on a silicon substrate. a) It is the process which forms multi-layer structure on this silicon substrate. This multi-layer structure It is the process and the process which forms this silicon active field surrounded with b insulation trench which contains a silicon germanium layer and a silicon layer at least. This insulating trench The process which has the place of this silicon germanium layer, or the depth of a under from this silicon germanium layer, c) The process which forms two or more support which fixes this silicon active field to this silicon substrate, and the process which etches d this silicon germanium layer alternatively are included, and this attains the above-mentioned purpose.

[0010]

Said silicon germanium layer may be formed of epitaxial vacuum evaporationo.

[0011]

Said silicon layer may be formed of epitaxial vacuum evaporationo.

[0012]

THIS PAGE BLANK (USPTO)

It may be the approach of including a process b1 further after Process b, and a process b1 may be a process which etches alternatively said a part of silicon germanium layer.

[0013]

It may be the approach of including Process e further after Process d, and Process e may be a process which oxidizes the silicon front face exposed after the process which etches said silicon germanium layer alternatively, and this oxidation may be a process filled up with the air gap created by alternative etching of this silicon germanium layer partially or completely.

[0014]

It may be the approach of including Process f further after Process d, and Process f may be a process which fills up with and carries out flattening of said insulating trench.

[0015]

The approach by this invention is an approach of manufacturing a silicon-on nothing device on the suspension silicon active field where it insulated on the silicon substrate. a) It is the process which forms multi-layer structure on this silicon substrate. This multi-layer structure The process which contains an epitaxial silicon germanium layer, an epitaxial silicon layer, a gate dielectric layer, and a cap layer at least, b) It is the process which forms this silicon active field surrounded with the insulating trench. This insulating trench The process which has the place of this silicon germanium layer, or the depth of a under from this silicon germanium layer, c) The process which forms two or more support which fixes this silicon active field to this silicon substrate, d) The process which etches this silicon germanium layer alternatively, the process which is filled up with insulating e this trench and carries out flattening, and the gate of f this device, the source and the process that forms a drain field are included, and this attains the above-mentioned purpose.

[0016]

The thickness of said silicon germanium layer may be for 3nm – 50nm.

[0017]

The germanium content of said silicon germanium layer may be for 20 – 60%.

[0018]

The thickness of said silicon layer may be for 3nm – 100nm.

[0019]

Formation of said silicon active field surrounded with an insulating trench may also include the process which specifies the insulating trench which surrounds this silicon active field by the photolithography, and the process which etches the field which is not protected according to the structure specified by this photolithography.

[0020]

Said trench insulation etching may be attained by reactive ion etching.

[0021]

Said insulating trench may be the depth of the bottom of 5nm – 50nm from said silicon germanium layer.

[0022]

Said support formation may also include the process which deposits a support layer, the process which specifies support structure by the photolithography, and the process which etches the field which is not protected according to the structure specified by this photolithography.

[0023]

Said silicon germanium layer etching may be attained by the wet etching process.

[0024]

Said silicon germanium layer etching may be attained by the reactive-ion-etching process.

[0025]

It may be the approach of including a process b1 further after Process b, and a process b1 may be a process which etches alternatively said a part of silicon germanium layer.

[0026]

It may be the approach of including a process d1 further after Process d, and a process d1 may be a process which oxidizes the silicon front face exposed after alternative etching of said silicon germanium layer, and this oxidation may be a process filled up with the air gap created

THIS PAGE BLANK (USPTO)

by alternative etching of this silicon germanium layer partially or completely.

[0027]

Said sources and the drain fields of said silicon-on nothing device may be the source which upheaved, and a drain field.

[0028]

Said silicon-on nothing device may have the polish recon gate. [0029]

Said silicon-on nothing device may have the metal gate.

[0030]

(Summary of invention)

This invention offers the approach of manufacturing the silicon-on nothing (SON) device which has the source insulated from the silicon substrate by the air gap, a drain, and a channel field. SON including the source, a drain, and a channel field An MOSFET device is manufactured on the insulated suspension silicon active field. It insulates from other active silicon fields completely by the trench insulation surrounding a silicon active field, and the insulated suspension silicon active field is insulated from a silicon substrate by the air gap.

[0031]

It sets on an aspect of affairs with this invention, and the manufacture process of the insulated suspension active field on a semi-conductor substrate is indicated. The multi-layer containing a cap layer and a sacrifice layer deposits on a semi-conductor substrate. Then, patterning of the multi-layer is carried out to an active field by etching the field where the multi-layer was chosen. The etched field surrounding an active field specifies the insulating trench with which an active field is insulated. The etched insulating trench has the depth of the place of a sacrifice layer, or the bottom of a sacrifice layer, and it is desirable that it is below a sacrifice layer. Then, since an active field is fixed before removing a sacrifice layer by etching, two or more support which connects the insulated active field to a substrate is formed. In order to form the insulated suspension active field, it may fill up with an insulating trench and flattening of the structure may be carried out.

[0032]

Setting on other aspects of affairs of this invention, this invention indicates the manufacture process of the insulated suspension silicon active field on a silicon substrate. As for a multi-layer, it is desirable that a gate dielectric and a cap layer are included further. As for a silicon active field, it is desirable that it is the multi-layer of the epitaxial silicon and gate dielectric deposited on the sacrifice layer of epitaxial silicon germanium and a cap layer. The manufacture process of the insulated suspension silicon active field is started from the multi-layer of silicon germanium and a silicon layer. As for a multi-layer, it is desirable that a gate dielectric and a cap layer are included further. Then, a silicon active field is formed by etching the field where the multi-layer structure surrounding a silicon active field was chosen. Etching specifies the surrounding insulating trench of a silicon active field. An insulating trench has the depth of a under from the place of a silicon germanium layer, or it at least. As for the depth of an insulating trench, it is more desirable than a silicon germanium layer that it is under 5nm – 50nm. Then, before two or more support etches a silicon germanium layer alternatively, since a silicon active field is fixed to a silicon substrate, it is manufactured. Then, flattening of the insulating trench may be filled up with and carried out. A suspension silicon active field is supported by the trench insulation surrounding the surroundings here.

[0033]

In the example of an alteration of a series of above-mentioned processes, partial etching of a silicon germanium layer may be performed before formation of support. Furthermore, a thermal oxidation process may be inserted after the process which etches a silicon germanium layer alternatively. A thermal oxidation process may oxidize the exposed silicon front face, i.e., the base of epitaxial silicon, and the top face of a silicon substrate. These silicon front faces are exposed after alternative etching of a silicon germanium layer. A thermal oxidation process can be filled up with the air gap formed of alternative etching of a silicon germanium layer partially or completely with the diacid-ized silicon which carried out heat growth.

[0034]

THIS PAGE BLANK (USPTO)

As for a silicon layer, it is desirable that it is epitaxial silicon, and it is desirable that it is thickness while being 3nm – 100nm. It is desirable that it is epitaxial silicon germanium, as for a silicon germanium layer, it is desirable that it is thickness while being 3nm – 500nm, and it is most desirable that it is thickness while being 3nm – 50nm. In order to provide an epitaxial silicon layer with good etch selectivity and good epitaxial growth conditions, as for the germanium content in a silicon germanium layer, it is desirable that it is for 10% – 70%, and it is most desirable that it is for 20% – 60%. As for a gate dielectric layer, it is desirable that it is diacid-ized silicon which accumulated or grew, and its high-k dielectric materials, such as combination of an oxidization hafnium, a zirconium dioxide, an aluminum oxide, silicic-acid hafniums, or such arbitration, are the most desirable. In a polish recon gate device, as for a cap layer, it is desirable that it is a polish recon layer, and it is desirable in a metal gate device that they are polish recon, diacid-ized silicon, or silicon nitride.

[0035]

As for an active field and the patterning process of support, it is desirable to be carried out by the photolithography by which coating of the photoresist is carried out, UV light is exposed under a photo mask, and a pattern is imprinted on a photoresist from a photo mask. A photoresist protects a substrate in an etching process so that a pattern may be imprinted on a substrate from a photoresist. Then, a photoresist may be stripped. As for pattern imprint etching, it is desirable to be attained by reactive ion etching or wet etching.

[0036]

As for the depth of insulating trench etching, it is desirable to become the bottom of a silicon germanium layer, and it is most desirable to become the bottom of 5nm – 50nm from a silicon germanium layer.

[0037]

As for support formation, it is desirable after deposition of a support layer to be carried out by the photolithography. A support pattern is imprinted by photoresist coating and an etching process can imprint a support pattern in a support layer. As for a support layer, it is desirable that they are insulating materials, such as diacid-ized silicon or silicon nitride. Support supports a silicon active field and offers sufficient access for silicon germanium so that an air gap may be formed in the bottom of a silicon active field and silicon germanium may be etched. As for silicon germanium etching, it is desirable to be attained by reactive ion etching or the wet etching using an alternative etching solution like 2O₂/H₂of NH₄ OH/H₂O.

[Effect of the Invention]

[0038]

In other aspects of affairs of this invention, this invention indicates the process which manufactures a SON device on the insulated suspension silicon active field. It insulates completely with the insulating trench surrounding the surroundings, and a SON device is completely insulated from a nearby SON device by the air gap under a silicon active field. The air gap insulation of the source of a SON device, a drain, and a channel field offers a high performance device.

[0039]

As for a silicon active field, in a SON device manufacture process, it is desirable that it is the multi-layer of the epitaxial silicon and gate dielectric deposited on an epitaxial silicon germanium layer and a cap layer. It is desirable that a dope impurity is injected into an epitaxial silicon layer in order to adjust threshold voltage. After completion of the insulated suspension silicon active field, in order to create a SON device, the transistor manufacture process of the present skill level may be performed.

[0040]

A SON device may be a polish recon gate device or a metal gate device. The eminent source and the eminent drain may be manufactured.

[Best Mode of Carrying Out the Invention]

[0041]

This invention indicates the approach of manufacturing the insulated suspension active field on a semi-conductor substrate. The insulated suspension active field surrounds an active field, and is

THIS PAGE BLANK (USPTO)

insulated by the trench insulator which floats on an air gap. An air gap is manufactured from a sacrifice ingredient and etched alternatively after that. When a sacrifice layer is removed, in order to prevent raising an active field, two or more support which fixes an active field to a substrate in front of an alternative etching process is manufactured. Then, support can be assimilated to an insulating material in a next process.

[0042]

Drawing 2 A shows the insulated suspension active field 103 by this invention on the semi-conductor substrate 101. It insulates with the trench insulator 102 surrounding the active field 103 with which it filled up, and the insulated suspension active field 103 is insulated from the semi-conductor substrate 101 by the air gap 104. The suspension active field 103 is supported by the trench insulator 102 with which it filled up. Drawing 2 B shows the insulated top view of the suspension active field 103 which was surrounded by the trench insulator 102.

[0043]

Drawing 3 A shows the insulated suspension active field structure of having the support 115 which supports the active field 113 before etching of the sacrifice layer 116. In this drawing, it does not fill up with the trench insulator 112 yet, therefore the active field 113 is supported with support 115. Drawing 3 B shows the top view of the active field 113 with the support support 115. By making cutoff into the minimum and making access to a sacrifice layer into the maximum, support 115 is designed so that etching of the sacrifice layer 116 may be optimized.

[0044]

Drawing 4 A-F shows the perfect production process of the insulated suspension active field by this invention. As shown in drawing 4 A, the multi-layer structure containing the active layer 120 and the sacrifice layer 121 deposits on the semi-conductor substrate 122. Then, as shown in drawing 4 B, the active field 124 is formed by etching the insulating trench 123 into the surroundings of an active field. As most sacrifice fields 125 are exposed and it is shown in this drawing, as for the etched insulating trench 123, it is desirable to expose the sacrifice field 125 whole and some substrates 122. As shown in drawing 4 C, support 126 is manufactured on the insulated suspension active field, and is connected to the substrate 122 which had the insulating suspension active field 124 exposed. Then, the sacrifice field 125 is etched alternatively, an air gap 127 is formed, and as shown in drawing 4 D, the insulated suspension active field 124 which is supported with support 126 is left behind. You deposit the layer 128 with which it filled up on the whole structure, and it makes it filled up with the insulating trench 123 as shown in drawing 4 E. As for the filler of an insulating trench, it is desirable for it to be completely filled up with the insulating trench 123, and not to be completely filled up with an air gap 127. As for a filler, it is more desirable that restoration of an air gap 127 becomes the minimum in order to make size of an air gap the maximum. Then, flattening of the packed bed 128 is carried out using the process which carries out flattening on the whole, for example, chemical machinery polish, (CMP), and as shown in drawing 4 F, it is stopped on the active field 124. An air gap 127 top is floated, the surroundings are insulated by the trench insulator 123, and the insulated suspension active field 124 is insulated from the substrate 122 by the air gap 127. The insulating suspension active field 124 is supported here by the trench insulator 123 with which it filled up with the remainder of the support 126 after a CMP process. The remainder of support 126 may be assimilated to the trench insulator 123, when manufactured from the same ingredient.

[0045]

Although, as for drawing 2 A, and 3A and 4F, only one shows the insulated layer of a suspension active field, it is also within the limits of this invention to use a multi-layer. The insulated suspension active field is very thin, and when not stabilized structurally, since the reinforcement is increased, the further layer may deposit on the insulated suspension active field layer. Since the layer of the following process process also optimizes the flow of a process, it may be deposited before formation of the insulated suspension active field.

[0046]

In the modification of the manufacture process in which the insulated suspension active field was indicated, it can become instead of the process of drawing 4 C 4C [1 and]2 being drawing 4 C. Drawing 4 C1 shows the further process which etches partially the sacrifice field inserted before

THIS PAGE BLANK (USPTO)

formation of support. In order to support the suspension field 124, it leaves sufficient remaining sacrifice fields 125, and a part of sacrifice field 125 130 is etched. According to this modification of a process, the support formation process in drawing 4 C is in the condition which has an air gap 130 in a sacrifice field in drawing 4 C2, and it is shown that support 126 has clung to the suspension field 124 and the substrate 122. The conditions of the process which deposits a support ingredient are not filling up with a gap 130. This process modification raises etching of the sacrifice layer between formation of an air gap.

[0047]

Various kinds of operation gestalten of support formation are shown in drawing 5 A – 5D. Drawing 5 A shows two support 135a which supports two side faces of suspension active field 133a on air gap 136a to substrate 131a. Drawing 5 B shows one support 135b which supports only one side face of suspension active field 133b on air gap 136b to substrate 131b. Drawing 5 C shows two support 135c which supports two side faces of suspension active field 133c on air gap 136c which counter to substrate 131c. Drawing 5 D is drawing showing big one support 135d which supports two side faces of 133d of suspension active fields on air gap 136d to 131d of substrates. In the support which supports a suspension active field, it is understood that it may succeed in the further deformation and the further alteration of support structure, without covering all openings of a sacrifice layer.

[0048]

The desirable operation gestalt of this invention is manufacture of the insulated suspension silicon active field as shown in drawing 6. Including the epitaxial layer 202 of a silicon layer, the gate dielectric layer 203, and the cap layer 204, the surroundings are insulated by the trench insulator 205 and the insulated suspension silicon active field is insulated from a silicon substrate 200 by the air gap 201. The epitaxial silicon layer 202 may be poured in in order to adjust device threshold voltage. A cap layer may be a polish recon layer, in order to manufacture a gate polish recon device, and it may be polish recon, diacid-ized silicon, or silicon nitride as a CMP stop layer in manufacture of a metal gate device.

[0049]

The manufacture process of a suspension silicon active field that this invention was insulated is explained below. It starts from a silicon wafer substrate and the epitaxial deposition of the layer of silicon germanium is carried out. Then, the epitaxial layer of silicon with desirable the thickness of a silicon layer being 3nm – 100nm accumulates. In some aspects of affairs of this invention, the layer which continues after a gate dielectric layer, a gate polish recon layer, a cap layer, etc. is also deposited on a silicon layer. A silicon layer is very thin, and when not structurally stable, since the reinforcement is raised, the further layer may deposit on a silicon layer. Moreover, since the following process process does not wait for completion of formation of a silicon active field in order to prevent contamination, but it raises surface cleanliness and optimizes the flow of a process, it may be applied immediately after silicon layer deposition. Like ion grouting which adjusts threshold voltage, it may be carried out after an epitaxial silicon deposition process. In the case of a polish recon gate device, a gate dielectric layer and a gate polish recon layer may deposit on an epitaxial silicon layer. In the case of a metal gate device, a gate dielectric and CMP stop layers, such as polish recon, diacid-ized silicon, or silicon nitride, may deposit. A CMP stop layer is used for the flattening stop in processes which carry out flattening on the whole, such as a chemical machinery polish (CMP) process.

[0050]

The layer of silicon germanium is chosen as a sacrifice layer. It is because silicon germanium may be alternatively etched to silicon so that the air gap for a suspension silicon layer may be formed. In a device application, silicon germanium has the further advantage that silicon and a grid have consistency, and leads to deposition of an epitaxial silicon layer becoming easy. The germanium content of a silicon germanium layer may be for 10 – 70%, and it is desirable that it is 20 – 60%. When a germanium content is low, there are few grid strains, therefore epitaxial silicon deposition is more easy. When a germanium content is high, the etch selectivity to silicon is more good, and air gap formation is more easy. The grids of silicon germanium and silicon differ slightly, and deposition of the epitaxial silicon germanium on silicon creates bent silicon

THIS PAGE BLANK (USPTO)

germanium with a grid similar to silicon. When silicon germanium is thicker than critical thickness, it can ease to the balanced grid of silicon germanium, and the grid of silicon germanium can make difficult the epitaxial silicon deposited later. Therefore, as for the thickness of silicon germanium, it is desirable to be chosen so that it may become thinner than critical thickness, and to make it relaxation of silicon germanium not break out. As for the thickness of silicon germanium, it is desirable that it is for 3nm – 50nm.

[0051]

Patterning of the multi-layer structure is carried out to a silicon active layer after deposition of multi-layer structure. The desirable process of a patterning process is a photolithography which imprints an image from a photo mask to photoresist coating. In a typical photolithography process, coating of the multi-layer is carried out by the photoresist layer, and a photoresist layer is exposed by UV light with a photo mask, and is developed after that. Depending on the type, for example, the negative resist, or positive resist of the photoresist used, the image from a photo mask is imprinted positively or negatively on a photoresist.

[0052]

Then, the insulating trench surrounding a silicon active field is manufactured by etching the silicon active field by which patterning was carried out. An insulating trench exposes most, even if there are few silicon germanium layers. As for insulating trench etching, it is desirable to expose the part which applied the amount of over-etching to a silicon substrate to the whole silicon germanium layer. As for silicon substrate over-etching, a silicon active field is insulated completely, and since a deep insulator is unnecessary, it can become a depth of 10nm. The photoresist by which patterning was carried out protects a silicon active field in insulating trench etching. A photoresist may be stripped after formation of a silicon active field.

[0053]

In order to form a suspension silicon active field, before a silicon germanium layer is removed by etching, in order to prevent raising a silicon layer, it is necessary to fix to a substrate. Then, two or more support is formed, a silicon active layer is connected to a substrate, and a silicon active field is supported in following etching of a silicon germanium lower layer. A support ingredient differs from silicon germanium, in order to prevent being etched in etching of a silicon germanium lower layer. As for a support ingredient, it is desirable that they are insulating materials, such as diacid-ized silicon. It is because support can become a part of shallow trench insulating material by doing so. As for support, it is desirable to leave sufficient opening to silicon germanium so that etching access may be enabled.

[0054]

As for support, being manufactured as follows is desirable. The thin support layer of insulating materials, such as diacid-ized silicon or silicon nitride, deposits on the whole surface. As for the thickness of a support layer, it is desirable that it is for 10nm – 500nm. A support layer is a wrap in both a silicon layer and a substrate. Then, as for a support layer, it is desirable that patterning is carried out by the photolithography process. The part as which the support layer was chosen is removed by etching, and two or more support which connects a silicon layer to a substrate is formed.

[0055]

Silicon germanium is removed by etching after formation of support, and a suspension silicon active field is formed. In order to form an air gap, as for silicon germanium, being etched completely is desirable, but it may be partially etched so that it may leave the support column of silicon germanium to the bottom of a silicon active field. When silicon germanium is removed by etching, as for support, it is desirable to be designed so that a suspension silicon active field may be supported appropriately. As for etching of silicon germanium, it is desirable that it is alternative to silicon. The mixture of $2O_2/H_2O$ of $NH_4 OH/H_2O$ may be used for alternative silicon germanium wet etching. Plasma dry etching may be applied to etching a silicon germanium layer alternatively again.

[0056]

The process of the arbitration of the partial etching of silicon germanium may be performed before formation of support. Silicon germanium may be partially etched so that silicon germanium

THIS PAGE BLANK (USPTO)

may be dented in the condition that there is a part in which the germanium layer remained. The remaining part of the middle silicon germanium of an active field is used in order to prevent raising a silicon active field. In this modification, as for the support layer deposition description, what (not too conformal) a configuration is not [a thing] in agreement too much is desirable in order to prevent restoration of the crevice of silicon germanium. A plasma strengthening chemical-vacuum-deposition technique is desirable because of deposition of a support layer.

[0057]

Then, flattening of the insulating trench is filled up with and carried out. Although it is desirable that it is the same ingredient as a support layer and it is desirable that they are insulating materials, such as diacid-ized silicon or silicon nitride, the layer with which it filled up is deposited so that it may be filled up with an insulating trench. As for the layer with which it filled up, it is desirable to be filled up with an insulating trench, and it is desirable not to be completely filled up with an air gap. Then, flattening stops on a line crack and a cap layer, in order to make a front face smooth. Here, a silicon layer floats on an air gap and is completely insulated by an insulating trench and the air gap.

[0058]

Other desirable operation gestalten of this invention are manufactures of the silicon-on nothing (SON) device with which the source and a drain field were insulated from the silicon substrate. A SON device including the source, drain, and gate field which were indicated is manufactured on the insulated suspension silicon active field.

[0059]

Drawing 7 A shows the multi-layer semi-conductor structure prepared using the process of the present skill level. Multi-layer structure contains the layer 304 of gate polish recon, the layer 303 of a gate dielectric, the epitaxial silicon layer 302, and the epitaxial silicon germanium layer 301 on the silicon wafer substrate 300. The epitaxial silicon germanium layer 301 grows on a silicon substrate 300. As for the thickness of silicon germanium 301, it is desirable that it is thinner than critical thickness so that relaxation may not break out. As for the thickness of silicon germanium 301, it is desirable that it is for 3nm – 50nm. The epitaxial silicon layer 302 grows on the silicon germanium layer 301. As for the thickness of the epitaxial silicon layer 302, it is desirable that it is for 3nm – 100nm. The doping concentration of an epitaxial silicon layer may be changed by the channel ion implantation so that threshold voltage may be adjusted. The gate dielectric layer 303 is grown up or deposited on the epitaxial silicon layer 302. As for gate dielectric materials, it is desirable that it may be diacid-ized silicon and they are high-k dielectric materials, such as an oxidation hafnium or a zirconium dioxide. Then, the gate polish recon layer 304 deposits. The polish recon layer 304 may only be used as a chemical machinery polish (CMP) stop layer as a gate ingredient. When used for a CMP stop layer, silicon nitride may be used instead, it is removed after a CMP process, and a gate dielectric and a gate electrode accumulate after removal of a CMP stop layer.

[0060]

Drawing 7 B shows the shallow trench insulation photolithography process which carries out patterning of the multi-layer structure to a silicon active field. A photoresist 305 specifies an active field. It may be desirable to specify the upper limit of the polygon in a silicon active field layout depending on the silicon etch selectivity to a silicon germanium etching rate and silicon germanium.

[0061]

Drawing 7 C shows the insulating trench 306 surrounding a silicon active field. A photoresist 305 protects the multi-layer in an insulating trench etching process, and as shown in drawing 7 D, it is removed after completion of insulating trench etching. an insulating trench — the dirty depth is in a condition with the amount of over-etching, and it is desirable to go downward more slightly than the silicon germanium layer 301. Since a device is manufactured on the up epitaxial silicon layer 302 and silicon germanium 301 is replaced with air, a deep insulation is not needed. Insulating trench over-etching may be for 5nm – 50nm, and it is desirable that it is under 10nm of a silicon germanium layer.

[0062]

THIS PAGE BLANK (USPTO)

Drawing 7 E shows the support layer 310 which that they are diacid-ized silicon or silicon nitride deposited on a desirable active field and a desirable insulating trench. Drawing 7 F shows the photolithography process which specifies support. A photoresist 311 protects a support field.

[0063]

Drawing 7 G is in the condition that the photoresist pattern 311 protects support structure, and shows formation of the support 312 after the support layer by which patterning was carried out was removed by etching. Drawing 7 H shows the support structure 312 after the photoresist 311 was stripped. Support 312 is attached in the top face of the gate polish recon layer 304 of an active field, and the side attachment wall of layers 304, 303, and 302. Support is attached on the front face of the exposed silicon substrate 300 again. Although support may be attached in the side attachment wall of silicon germanium again, since silicon germanium is removed by etching, the adhesion between support and silicon germanium is not decisive.

[0064]

Drawing 7 I shows formation of the air gap 313 after silicon germanium was removed by etching. The active fields 304, 303, and 302 are supported with support 312 on an air gap 313 here.

[0065]

Drawing 7 J shows restoration of an insulating trench. It is desirable for it to be completely filled up with an insulating trench and not to be filled up with an air gap. Drawing 7 K shows the flattening process stopped in the polish recon layer 304 using CMP. The remainder of the insulating trench 306 with which it filled up, and support 312 supports a silicon active field on an air gap 313 here.

[0066]

Drawing 7 L shows the process of the following arbitration which deposits the 2nd layer 321 of polish recon. Drawing 7 M shows the process which forms gate polish recon on the polish recon layer 321 using the photoresist pattern 322. The 2nd polish recon layer 321 is used in order to extend the polish recon gate to a field insulating region, and it is assimilated to the 1st polish recon layer 304 on an active field.

[0067]

Drawing 7 N shows the gate polish recon formation by etching of the polish recon layer 321 which used the photoresist 322 as a mask. Gate formation etches the 1st polish recon layer 304, etches gate oxide 303, and stops it on the silicon layer 302. A photoresist 322 is stripped in drawing 7 O.

[0068]

After gate polish recon formation, a device may be completed by the CMOS process technique of the present skill level, as shown in drawing 7 P. It insulates with the trench insulator 306 which has the remaining support 312, and a SON device floats completely on an air gap 313. A dope impurity may be poured into the polish recon gate 321 in order to raise conductivity. In the technique concerned, the source field 342 and the drain field 341 are formed of impregnation of a dope impurity, n+, or p+ so that it may be common knowledge. A low doped lane / source (LDD) field, and HALO may also be formed with formation before formation of the source 342 and drain 341 field. The source 342 of the SON device of this invention and drain 341 field are insulated from a silicon substrate 300 by the air gap 313 again. The gate spacer 349 may be manufactured so that the gate structures 321 and 304 may be insulated. Transistor structure may be either an n channel or a p channel device. Then, metalization continues and device manufacture is completed. An oxidizing zone 344 covers structure and a contact hole is etched after that for a metalization interconnection. Then, a metal accumulates and the source electrode 346, the drain electrode 347, and the gate electrode 345 are formed.

SHIRISAIDESHON of the source, a drain, and the polish recon gate may be applied again.

[0069]

Furthermore, the source and the drain field of a silicon-on nothing device may be the source which upheaved and the drain field where the source and a drain field may be expanded by the source and the drain technique which upheaved in order to reduce serial resistance of a transistor. U.S. Pat. No. 6,368,960 of the name "Double sidewall raised silicided source/drain CMOS transistor" according [the process of the upheaval source and a drain] to Hsu and

THIS PAGE BLANK (USPTO)

others, And are based on Sakiyama and others. "Raised silicide source/drain MOS transistors having enlarged source/contact regions and It can see in U.S. Pat. No. 6,352,899 of a name called method." these patents are used as reference by this detail letter.

[0070]

A series of above-mentioned processes are applicable also to the device which has the polish recon gate. Silicon-on nothing device manufacture of this invention is applicable also to the device which has the metal gate again. In this device, gate ingredients are metals, such as an alloy of copper, aluminum, a tungsten, nickel titanium, a tantalum, platinum, or the arbitration that combined these. The insulated suspension silicon active field is used for a metal gate CMOS process, and it may be adjusted so that the device which has a metal gate electrode may be manufactured. The process which manufactures a metal gate MOS transistor can be seen in U.S. Pat. No. 6,274,421 of the name "Method of making metal gate sub-micron MOS transistor" by Hsu and others. This patent is used as reference in this specification.

[0071]

In the example of an alteration of a series of above-mentioned processes, partial etching of the silicon germanium layer 301 may be attained before deposition of a support layer. Alternative silicon germanium etching may be performed after trench insulation formation as shown in drawing 7 D. Drawing 7 D1 shows the further process after drawing 7 D. In this process, a silicon germanium etching process is in the condition which left the part of the remaining silicon germanium in order to prevent raising a silicon active field, and it forms a crevice 340. This process is continued from deposition of the support layer 310, as shown in drawing 7 E. Since it is desirable that a support layer is not filled up with the gap of a silicon germanium etching part, the plasma strengthening chemical vapor deposition of a support layer is desirable in order to prevent restoration of this gap.

[0072]

Furthermore, in the example of an alteration of a series of above-mentioned processes, a thermal oxidation process may be inserted after the alternative silicon germanium layer 301. It originates in this thermal oxidation process, and, probably an air gap is filled up with the diacid-ized silicon which carried out heat growth partially or completely. The diacid-ized silicon which carried out heat growth can raise the device engine performance on the base of the silicon active layer 302.

[0073]

As mentioned above, although this invention has been illustrated using the desirable operation gestalt of this invention, this invention is limited to this operation gestalt, and should not be interpreted. As for this invention, it is understood that the range should be interpreted by only the claim. It is understood that this contractor can carry out the equivalent range from the publication of the concrete desirable operation gestalt of this invention based on a publication and technical common sense of this invention. It is understood that the contents should be used as reference to this specification by the patent, the patent application, and the reference which were quoted in this specification as the contents itself are concretely indicated by this specification.

[0074]

(Epitome)

The method of manufacturing a silicon-on nothing device on a silicon substrate provides. The indicated silicon-on nothing device is manufactured on the insulated suspension silicon active field, and is completely insulated from a silicon substrate by the air gap. The insulated suspension silicon active field is manufactured on a silicon germanium layer with the insulating trench surrounding the surroundings. Then, since a silicon active field is fixed to a silicon substrate before etching a silicon germanium layer alternatively so that an air gap may be formed, two or more support is manufactured. Insulating trench restoration and flattening make formation of the insulated suspension silicon active field complete. The silicon-on nothing device on the insulated suspension silicon active field may be the polish recon gate or the metal gate which has the source which upheaved, and a drain field, or it does not have.

[Brief Description of the Drawings]

THIS PAGE BLANK (USPTO)

[0075]

[Drawing 1 A] Drawing 1 A is drawing showing the SON device by the conventional technique.

[Drawing 1 B] Drawing 1 B is drawing showing the SON device by the conventional technique.

[Drawing 2 A] Drawing 2 A is drawing showing the insulated suspension active field by this invention.

[Drawing 2 B] Drawing 2 B is drawing showing the insulated suspension active field by this invention.

[Drawing 3 A] Drawing 3 A is drawing showing the support structure which supports the active field by this invention.

[Drawing 3 B] Drawing 3 B is drawing showing the support structure which supports the active field by this invention.

[Drawing 4 A] Drawing 4 A is drawing showing the production process of the insulated suspension active field.

[Drawing 4 B] Drawing 4 B is drawing showing the production process of the insulated suspension active field.

[Drawing 4 C] Drawing 4 C is drawing showing the production process of the insulated suspension active field.

[Drawing 4 C1] Drawing 4 C1 is drawing showing the modification of a production process shown in drawing 4 C.

[Drawing 4 C2] Drawing 4 C2 is drawing showing the modification of a production process shown in drawing 4 C.

[Drawing 4 D] Drawing 4 D is drawing showing the production process of the insulated suspension active field.

[Drawing 4 E] Drawing 4 E is drawing showing the production process of the insulated suspension active field.

[Drawing 4 F] Drawing 4 F is drawing showing the production process of the insulated suspension active field.

[Drawing 5 A] Drawing 5 A is drawing showing the modification of support structure.

[Drawing 5 B] Drawing 5 B is drawing showing the modification of support structure.

[Drawing 5 C] Drawing 5 C is drawing showing the modification of support structure.

[Drawing 5 D] Drawing 5 D is drawing showing the modification of support structure.

[Drawing 6] Drawing 6 is drawing showing the insulated suspension silicon active field by this invention.

[Drawing 7 A] Drawing 7 A is drawing showing the production process of the SON device by this invention.

[Drawing 7 B] Drawing 7 B is drawing showing the production process of the SON device by this invention.

[Drawing 7 C] Drawing 7 C is drawing showing the production process of the SON device by this invention.

[Drawing 7 D] Drawing 7 D is drawing showing the production process of the SON device by this invention.

[Drawing 7 D1] Drawing 7 D1 is drawing showing the modification of a production process.

[Drawing 7 E] Drawing 7 E is drawing showing the production process of the SON device by this invention.

[Drawing 7 F] Drawing 7 F is drawing showing the production process of the SON device by this invention.

[Drawing 7 G] Drawing 7 G is drawing showing the production process of the SON device by this invention.

[Drawing 7 H] Drawing 7 H is drawing showing the production process of the SON device by this invention.

[Drawing 7 I] Drawing 7 I is drawing showing the production process of the SON device by this invention.

[Drawing 7 J] Drawing 7 J is drawing showing the production process of the SON device by this invention.

THIS PAGE BLANK (USPTO)

[Drawing 7 K] Drawing 7 K is drawing showing the production process of the SON device by this invention.

[Drawing 7 L] Drawing 7 L is drawing showing the production process of the SON device by this invention.

[Drawing 7 M] Drawing 7 M is drawing showing the production process of the SON device by this invention.

[Drawing 7 N] Drawing 7 N is drawing showing the production process of the SON device by this invention.

[Drawing 7 O] Drawing 7 O is drawing showing the production process of the SON device by this invention.

[Drawing 7 P] Drawing 7 P is drawing showing the production process of the SON device by this invention.

[Description of Notations]

[0076]

101 Semi-conductor Substrate

102 Insulator

103 Suspension Active Field

104 Air Gap

113 Active Field

115 Support

116 Sacrifice Layer

120 Active Layer

121 Sacrifice Layer

122 Substrate

123 Insulating Trench

124 Suspension Active Field

125 Sacrifice Layer

126 Support

127 Air Gap

128 Layer with which it Filled Up

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-349702

(P2004-349702A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int.Cl.

H01L 29/786

H01L 21/764

H01L 27/12

F 1

H01L 29/78

626C

テーマコード(参考)

5FO32

H01L 27/12

Z

5F110

H01L 29/78

621

H01L 29/78

618C

H01L 21/76

A

審査請求 未請求 請求項の数 22 O.L. (全 20 頁)

(21) 出願番号

特願2004-149812(P2004-149812)

(22) 出願日

平成16年5月19日(2004.5.19)

(31) 優先権主張番号

10/441,674

(32) 優先日

平成15年5月20日(2003.5.20)

(33) 優先権主張国

米国(US)

(71) 出願人

000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人

100078282

弁理士 山本 秀策

(74) 代理人

100062409

弁理士 安村 高明

(74) 代理人

100107489

弁理士 大塙 竹志

(72) 発明者

ジョン ジャン リー

アメリカ合衆国 ワシントン 98607

, カマス, エヌダブリューエス 32

エヌディー アベニュー 2525

最終頁に続く

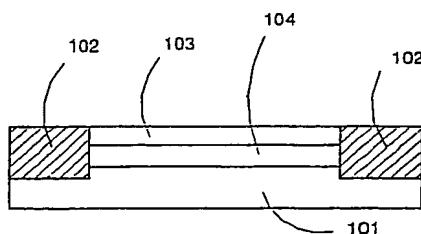
(54) 【発明の名称】シリコン・オン・ナッシング製造プロセス

(57) 【要約】

【課題】シリコン基板上にシリコン・オン・ナッシングデバイスを製造する方法が提供すること。

【解決手段】シリコン・オン・ナッシングデバイスは、絶縁された浮遊シリコンアクティブ領域上に製造され、シリコン基板からエアギャップによって完全に絶縁される。絶縁された浮遊シリコンアクティブ領域は、周囲を囲む絶縁トレンチと共に、シリコングルマニウム層上に製造される。その後、エアギャップを形成するようにシリコングルマニウム層を選択的にエッティングする前に、シリコンアクティブ領域をシリコン基板に固定するために、複数のアンカーが製造される。絶縁トレンチ充填および平坦化は、絶縁された浮遊シリコンアクティブ領域の形成を完了させる。絶縁された浮遊シリコンアクティブ領域上のシリコン・オン・ナッシングデバイスは、隆起したソースおよびドレイン領域を有するか、または有さない、ポリシリコンゲートまたは金属ゲートで得る。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

半導体基板上に、絶縁された浮遊アクティブ領域を製造する方法であって、

- a) 半導体基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくとも犠牲層およびキャップ層を含む、工程と、
- b) 絶縁トレンチによって囲まれた該アクティブ領域を形成する工程であって、該絶縁トレンチは、該犠牲層のところ、または該犠牲層より下までの深さを有する、工程と、
- c) 該アクティブ領域を該半導体基板に固定する複数のアンカーを形成する工程と、
- d) 該犠牲層を選択的にエッティングする工程と
を包含する、方法。

10

【請求項 2】

シリコン基板上に、絶縁された浮遊シリコンアクティブ領域を製造する方法であって、

- a) 該シリコン基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくともシリコングルマニウム層およびシリコン層を含む、工程と、
- b) 絶縁トレンチによって囲まれた該シリコンアクティブ領域を形成する工程であって、該絶縁トレンチは、該シリコングルマニウム層のところ、または該シリコングルマニウム層より下までの深さを有する、工程と、
- c) 該シリコンアクティブ領域を該シリコン基板に固定する複数のアンカーを形成する工程と、
- d) 該シリコングルマニウム層を選択的にエッティングする工程と
を包含する、方法。

20

【請求項 3】

前記シリコングルマニウム層は、エピタキシャル蒸着によって形成される、請求項 2 に記載の方法。

【請求項 4】

前記シリコン層は、エピタキシャル蒸着によって形成される、請求項 2 に記載の方法。

【請求項 5】

工程 b) の後に、工程 b 1) をさらに包含する方法であって、工程 b 1) は、前記シリコングルマニウム層の一部を選択的にエッティングする工程である、請求項 2 に記載の方法。
。

30

【請求項 6】

工程 d) の後に、工程 e) をさらに包含する方法であって、工程 e) は、前記シリコングルマニウム層を選択的にエッティングする工程後に露出したシリコン表面を酸化する工程であって、該酸化は、該シリコングルマニウム層の選択的エッティングによって作成されたエアギャップを、部分的または完全に充填する工程である、請求項 2 に記載の方法。

【請求項 7】

工程 d) の後に工程 f) をさらに包含する方法であって、工程 f) は、前記絶縁トレンチを充填し、平坦化する工程である、請求項 2 に記載の方法。

【請求項 8】

シリコン基板上の絶縁された浮遊シリコンアクティブ領域の上にシリコン・オン・ナッシングデバイスを製造する方法であって、
。

40

a) 該シリコン基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくともエピタキシャルシリコングルマニウム層、エピタキシャルシリコン層、ゲート誘電体層、およびキャップ層を含む、工程と、

b) 絶縁トレンチによって囲まれた該シリコンアクティブ領域を形成する工程であって、該絶縁トレンチは、該シリコングルマニウム層のところ、または該シリコングルマニウム層より下までの深さを有する、工程と、

c) 該シリコンアクティブ領域を該シリコン基板に固定する複数のアンカーを形成する工程と、

d) 該シリコングルマニウム層を選択的にエッティングする工程と、

50

- e) 該絶縁トレーニチを充填し、平坦化する工程と、
- f) 該デバイスのゲート、ソース、およびドレイン領域を形成する工程とを包含する、方法。

【請求項 9】

前記シリコンゲルマニウム層の厚さは 3 nm～50 nm の間である、請求項 8 に記載の方法。

【請求項 10】

前記シリコンゲルマニウム層のゲルマニウム含有量は 20～60 パーセントの間である、請求項 8 に記載の方法。

【請求項 11】

10

前記シリコン層の厚さは 3 nm～100 nm の間である、請求項 8 に記載の方法。

【請求項 12】

絶縁トレーニチによって囲まれる前記シリコンアクティブ領域の形成は、フォトリソグラフィによって該シリコンアクティブ領域を囲む絶縁トレーニチを規定する工程と、該フォトリソグラフィによって規定された構造によって保護されない領域をエッチングする工程とを含む、請求項 8 に記載の方法。

【請求項 13】

前記トレーニチ絶縁エッチングは、反応性イオンエッチングによって達成される、請求項 12 に記載の方法。

【請求項 14】

20

前記絶縁トレーニチは、前記シリコンゲルマニウム層よりも 5 nm～50 nm 下までの深さである、請求項 8 に記載の方法。

【請求項 15】

前記アンカー形成は、

アンカー層を堆積する工程と、

フォトリソグラフィによってアンカー構造を規定する工程と、

該フォトリソグラフィで規定された構造によって保護されていない領域をエッチングする工程と

を含む、請求項 8 に記載の方法。

【請求項 16】

30

前記シリコンゲルマニウム層エッチングは、ウェットエッチングプロセスによって達成される、請求項 8 に記載の方法。

【請求項 17】

前記シリコンゲルマニウム層エッチングは、反応性イオンエッチングプロセスによって達成される、請求項 8 に記載の方法。

【請求項 18】

工程 b) の後に工程 b 1) をさらに包含する方法であって、工程 b 1) は前記シリコンゲルマニウム層の一部を選択的にエッチングする工程である、請求項 8 に記載の方法。

【請求項 19】

40

工程 d) の後に工程 d 1) をさらに包含する方法であって、工程 d 1) は前記シリコンゲルマニウム層の選択的エッチング後に露出したシリコン表面を酸化する工程であって、該酸化は、該シリコンゲルマニウム層の選択的エッチングによって作成されたエアギャップを、部分的または完全に充填する、工程である、請求項 8 に記載の方法。

【請求項 20】

前記シリコン・オン・ナッシングデバイスの前記ソースおよびドレイン領域は、隆起したソースおよびドレイン領域である、請求項 8 に記載の方法。

【請求項 21】

前記シリコン・オン・ナッシングデバイスはポリシリコンゲートを有する、請求項 8 に記載の方法。

【請求項 22】

50

前記シリコン・オン・ナッシングデバイスは、金属ゲートを有する、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスおよびシリコン・オン・インシュレーター(SOI)デバイスの製造、特に、シリコン・オン・ナッシングデバイスを製造する方法に関する。 10

【背景技術】

【0002】

シリコン・オン・インシュレーター(SOI)基板上に製造されたMOSFETは、バルクシリコンウェハ基板上に形成される場合と比較して、高速、低消費電力、および高密度であるなどの大きな利点を有する。SOI基板は、バルクシリコンウェハと、その上の絶縁材料の下層と、その上の単結晶シリコンの表面薄層とからなる。表面シリコン薄層は、代表的には、数十ナノメートルから数ミクロンの厚さであり、トランジスタのシリコンチャネルである。絶縁層は、通常、二酸化シリコンから製造されており、埋め込み酸化物と呼ばれ、通常、数百ナノメートルの厚さである。

【0003】

SOIウェハは、動作するシリコン容量を低減させること、およびトランジスタを絶縁することによって、トランジスタ性能を高める。表面シリコン薄層は、トランジスタをオンおよびオフに切り替えるために帯電する必要があるシリコンの容量を制限し、そのことにより、トランジスタの寄生容量を低減させ、スイッチング速度を高める。絶縁層は、トランジスタを近傍から絶縁し、漏れ電流を低減させ、トランジスタがより低い供給電圧で動作することを可能にするので、トランジスタがより小さくなり、より高い密度でパックされることが可能になる。 20

【0004】

50nm以下におけるCMOS技術において、ショートチャネル効果を防ぐために、シリコンチャネルおよび埋め込み酸化物の厚さは、それぞれ、50nmおよび100nmよりもずっと薄くなる必要がある。シリコン膜の厚さが5nmで、埋め込み酸化物の厚さが20nmの超SOIは、CMOSの縮小の下限が20nmチャネル長で、ショートチャネル効果を抑制する能力を有し得る。しかし、シリコンおよび埋め込み酸化物膜の厚さについてのこれらの要件は、現行のSOIウェハの製造能力を超えている。さらに、デバイス性能は、埋め込み酸化物を用いて達成され得ない低い誘電率を有する絶縁体によって高められることができる。絶縁層の最も低い誘電率は1である。これは、シリコン層の下にエアギャップがあることを意味し、改善されたデバイスは、シリコン・オン・ナッシング(SON)デバイスと呼ばれる。理論的に提案されたデバイスについてのSONデバイスミュレーションは、3.9の誘電率を有する埋め込み酸化物を有するSOIデバイスと比較して向上した性能を示す(非特許文献1を参照)。 30

【0005】

ソースおよびドレイン領域が基板に接続された、様々なSONデバイスの製造プロセスが提案してきた。これらのデバイスの製造は向上した性能を示すが、このようなデバイスの構造は、より高い寄生ソースおよびドレイン容量、それに伴う、起り得る基板のパンチスルー現象の懸念につながり得る。例えば、非特許文献1、2および3を参照されたい。 40

【0006】

図1Aは、従来技術によるSONデバイスを示す。SONデバイスは、ゲート電極8と、ゲート誘電体7と、ソース4と、デバイスチャネル6を介するドレイン5とを、ソースおよびドレインの延長部4aおよび5aと共に、シリコン基板1上に含む。このSONデバイスは、トレンチ絶縁体3によって絶縁され、エアギャップ2上で浮遊する。しかし、エアギャップ2は、デバイスチャネル6と、ソースおよびドレイン延長部4aおよび5aに限られる。ソース4およびドレイン5は、依然としてシリコン基板1に接続されている 50

。図1Bは、従来技術によるSONデバイスの平面図を示す。

【非特許文献1】R. Koh、「Buried layer engineering to reduce the drain-induced barrier lowering of sub-0.05μm SOI-MOSFET」、Japanese Journal of Applied Physics、Vol. 38(1999)、pp. 2294-2299、Part 1、No. 4B、1999年4月

【非特許文献2】M. Jurczakら、「Silicon-on-nothing (SON) - an innovative process for advanced CMOS」、IEEE Transactions on Electron Devices、Vol. 47、No. 11、2000年11月、pp. 2179-2187

10

【非特許文献3】S. Monfrayら、「First 80nm SON (silicon-on-on-nothing) MOSFETs with perfect morphology and high electrical performance」、IEDM Tech. Dig.、2001、p. 800

【非特許文献4】T. Satoら、「SON (silicon-on-nothing) MOSFET using ESS、empty space in silicon) technique for SoC application」、IEDM Tech. Dig.、2001、p. 809

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

ソースおよびドレイン領域が基板に接続された、様々なSONデバイスの製造プロセスが提案されてきた。これらのデバイスの製造は向上した性能を示すが、このようなデバイスの構造は、より高い寄生ソースおよびドレイン容量、それに伴う、起り得る基板のパンチスルー現象の懸念につながり得る。

【課題を解決するための手段】

【0008】

本発明による方法は、半導体基板上に、絶縁された浮遊アクティブ領域を製造する方法であって、a) 半導体基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくとも犠牲層およびキャップ層を含む、工程と、b) 絶縁トレンチによって囲まれた該アクティブ領域を形成する工程であって、該絶縁トレンチは、該犠牲層のところ、または該犠牲層より下までの深さを有する、工程と、c) 該アクティブ領域を該半導体基板に固定する複数のアンカーを形成する工程と、d) 該犠牲層を選択的にエッチングする工程とを包含し、これにより上記目的を達成する。

30

【0009】

本発明による方法は、シリコン基板上に、絶縁された浮遊シリコンアクティブ領域を製造する方法であって、a) 該シリコン基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくともシリコングルマニウム層およびシリコン層を含む、工程と、b) 絶縁トレンチによって囲まれた該シリコンアクティブ領域を形成する工程であって、該絶縁トレンチは、該シリコングルマニウム層のところ、または該シリコングルマニウム層より下までの深さを有する、工程と、c) 該シリコンアクティブ領域を該シリコン基板に固定する複数のアンカーを形成する工程と、d) 該シリコングルマニウム層を選択的にエッチングする工程とを包含し、これにより上記目的を達成する。

40

【0010】

前記シリコングルマニウム層は、エピタキシャル蒸着によって形成されてもよい。

【0011】

前記シリコン層は、エピタキシャル蒸着によって形成されてもよい。

【0012】

工程b)の後に、工程b1)をさらに包含する方法であって、工程b1)は、前記シリコングルマニウム層の一部を選択的にエッチングする工程であってもよい。

50

【0013】

工程 d) の後に、工程 e) をさらに包含する方法であって、工程 e) は、前記シリコングルマニウム層を選択的にエッティングする工程後に露出したシリコン表面を酸化する工程であって、該酸化は、該シリコングルマニウム層の選択的エッティングによって作成されたエアギャップを、部分的または完全に充填する工程であってもよい。

【0014】

工程 d) の後に工程 f) をさらに包含する方法であって、工程 f) は、前記絶縁トレンチを充填し、平坦化する工程であってもよい。

【0015】

本発明による方法は、シリコン基板上の絶縁された浮遊シリコンアクティブ領域の上にシリコン・オン・ナッシングデバイスを製造する方法であって、a) 該シリコン基板上にマルチ層構造を形成する工程であって、該マルチ層構造は、少なくともエピタキシャルシリコングルマニウム層、エピタキシャルシリコン層、ゲート誘電体層、およびキャップ層を含む、工程と、b) 絶縁トレンチによって囲まれた該シリコンアクティブ領域を形成する工程であって、該絶縁トレンチは、該シリコングルマニウム層のところ、または該シリコングルマニウム層より下までの深さを有する、工程と、c) 該シリコンアクティブ領域を該シリコン基板に固定する複数のアンカーを形成する工程と、d) 該シリコングルマニウム層を選択的にエッティングする工程と、e) 該絶縁トレンチを充填し、平坦化する工程と、f) 該デバイスのゲート、ソース、およびドレイン領域を形成する工程とを包含し、これにより上記目的を達成する。

10

20

【0016】

前記シリコングルマニウム層の厚さは 3 nm～50 nm の間であってもよい。

【0017】

前記シリコングルマニウム層のグルマニウム含有量は 20～60 パーセントの間であってもよい。

【0018】

前記シリコン層の厚さは 3 nm～100 nm の間であってもよい。

【0019】

絶縁トレンチによって囲まれる前記シリコンアクティブ領域の形成は、フォトリソグラフィによって該シリコンアクティブ領域を囲む絶縁トレンチを規定する工程と、該フォトリソグラフィによって規定された構造によって保護されない領域をエッティングする工程とを含んでもよい。

30

【0020】

前記トレンチ絶縁エッティングは、反応性イオンエッティングによって達成されてもよい。

【0021】

前記絶縁トレンチは、前記シリコングルマニウム層よりも 5 nm～50 nm 下までの深さであってもよい。

【0022】

前記アンカー形成は、アンカー層を堆積する工程と、フォトリソグラフィによってアンカー構造を規定する工程と、該フォトリソグラフィで規定された構造によって保護されていない領域をエッティングする工程とを含んでもよい。

40

【0023】

前記シリコングルマニウム層エッティングは、ウェットエッティングプロセスによって達成されてもよい。

【0024】

前記シリコングルマニウム層エッティングは、反応性イオンエッティングプロセスによって達成されてもよい。

【0025】

工程 b) の後に工程 b 1) をさらに包含する方法であって、工程 b 1) は前記シリコングルマニウム層の一部を選択的にエッティングする工程であってもよい。

50

【0026】

工程 d) の後に工程 d 1) をさらに包含する方法であって、工程 d 1) は前記シリコンゲルマニウム層の選択的エッティング後に露出したシリコン表面を酸化する工程であって、該酸化は、該シリコンゲルマニウム層の選択的エッティングによって作成されたエアギャップを、部分的または完全に充填する、工程であってもよい。

【0027】

前記シリコン・オン・ナッシングデバイスの前記ソースおよびドレイン領域は、隆起したソースおよびドレイン領域であってもよい。

【0028】

前記シリコン・オン・ナッシングデバイスはポリシリコンゲートを有してもよい。

10

【0029】

前記シリコン・オン・ナッシングデバイスは、金属ゲートを有してもよい。

【0030】

(発明の要旨)

本発明は、シリコン基板からエアギャップによって絶縁されたソース、ドレインおよびチャネル領域を有するシリコン・オン・ナッシング (SON) デバイスを製造する方法を提供する。ソース、ドレインおよびチャネル領域を含む SON MOSFET デバイスは、絶縁された浮遊シリコンアクティブ領域の上に製造される。絶縁された浮遊シリコンアクティブ領域は、他のアクティブシリコン領域からシリコンアクティブ領域を囲むトレンチ絶縁によって完全に絶縁され、シリコン基板からエアギャップによって絶縁される。

20

【0031】

本発明のある局面において、半導体基板上における、絶縁された浮遊アクティブ領域の製造プロセスが開示される。キャップ層および犠牲層を含むマルチ層が、半導体基板上に堆積される。その後、マルチ層の選択された領域をエッティングすることによって、マルチ層はアクティブ領域にパターニングされる。アクティブ領域を囲むエッティングされた領域は、アクティブ領域を絶縁する絶縁トレンチを規定する。エッティングされた絶縁トレンチは、犠牲層のところまたは犠牲層の下までの深さを有し、犠牲層より下であることが好ましい。その後、絶縁されたアクティブ領域を基板に接続する複数のアンカーは、犠牲層をエッティングで取り除く前にアクティブ領域を固定するために形成される。絶縁された浮遊アクティブ領域を形成するために、絶縁トレンチが充填され得、構造は平坦化され得る。

30

【0032】

本発明の他の局面において、本発明は、シリコン基板上における、絶縁された浮遊シリコンアクティブ領域の製造プロセスを開示する。マルチ層は、ゲート誘電体およびキャップ層をさらに含むことが好ましい。シリコンアクティブ領域は、エピタキシャルシリコンゲルマニウムの犠牲層の上に堆積される、エピタキシャルシリコン、ゲート誘電体およびキャップ層のマルチ層であることが好ましい。絶縁された浮遊シリコンアクティブ領域の製造プロセスは、シリコンゲルマニウムおよびシリコン層のマルチ層から開始される。マルチ層は、ゲート誘電体およびキャップ層をさらに含むことが好ましい。その後、シリコンアクティブ領域を囲むマルチ層構造の選択された領域をエッティングすることによって、シリコンアクティブ領域が形成される。エッティングは、シリコンアクティブ領域の周りの絶縁トレンチを規定する。絶縁トレンチは、少なくとも、シリコンゲルマニウム層のところか、またはそれよりも下までの深さを有する。絶縁トレンチの深さは、シリコンゲルマニウム層よりも 5 nm ~ 50 nm 下であることが好ましい。その後、複数のアンカーが、シリコンゲルマニウム層を選択的にエッティングする前に、シリコンアクティブ領域をシリコン基板に固定するために製造される。その後、絶縁トレンチは、充填され、平坦化され得る。浮遊シリコンアクティブ領域は、ここで、周りを囲むトレンチ絶縁によって支持される。

40

【0033】

上記の一連のプロセスの改変例において、アンカーの形成の前に、シリコンゲルマニウム層の部分的エッティングが行われ得る。さらに、シリコンゲルマニウム層を選択的にエッ

50

チングする工程の後に、熱酸化工程が挿入され得る。熱酸化工程は、露出したシリコン表面、すなわち、エピタキシャルシリコンの底面およびシリコン基板の上面を酸化させ得る。これらのシリコン表面は、シリコンゲルマニウム層の選択的エッチング後に露出する。熱酸化工程は、シリコンゲルマニウム層の選択的エッチングによって形成されたエアギャップを、熱成長した二酸化シリコンによって部分的または完全に充填し得る。

【0034】

シリコン層は、エピタキシャルシリコンであることが好ましく、3 nm～100 nmの間の厚さであることが好ましい。シリコンゲルマニウム層は、エピタキシャルシリコンゲルマニウムであることが好ましく、3 nm～500 nmの間の厚さであることが好ましく、3 nm～50 nmの間の厚さであることが最も好ましい。シリコンゲルマニウム層におけるゲルマニウム含有量は、エピタキシャルシリコン層に良好なエッチング選択性および良好なエピタキシャル成長条件を提供するために、10%～70%の間であることが好ましく、20%～60%の間であることが最も好ましい。ゲート誘電体層は、堆積または成長した二酸化シリコンであることが好ましく、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、ケイ酸ハフニウム、またはこれらの任意の組合せなどのhigh-k誘電体材料が最も好ましい。キャップ層は、ポリシリコンゲートデバイスにおいてはポリシリコン層であることが好ましく、金属ゲートデバイスにおいてはポリシリコン、二酸化シリコンまたは窒化シリコンであることが好ましい。

【0035】

アクティブ領域およびアンカーのパターニング工程は、フォトレジストがコーティングされ、フォトマスクの下でUV光に露光されて、パターンがフォトマスクからフォトレジスト上に転写される、フォトリソグラフィによって行われることが好ましい。フォトレジストは、パターンがフォトレジストから基板上に転写されるように、エッチング工程において基板を保護する。その後、フォトレジストがはがされ得る。パターン転写エッチングは、反応性イオンエッチングまたはウェットエッチングによって達成されることが好ましい。

【0036】

絶縁トレンチエッチングの深さは、シリコンゲルマニウム層の下になることが好ましく、シリコンゲルマニウム層より5 nm～50 nm下になることが最も好ましい。

【0037】

アンカー形成は、アンカー層の堆積後、フォトリソグラフィによって行われることが好ましい。アンカーパターンは、フォトレジストコーティングに転写され、エッチング工程は、アンカーパターンをアンカー層に転写し得る。アンカー層は、二酸化シリコンまたは窒化シリコンなどの絶縁材料であることが好ましい。シリコンアクティブ領域の下にエアギャップを形成するようにシリコンゲルマニウムがエッチングされ得るように、アンカーは、シリコンアクティブ領域を支持し、かつ、シリコンゲルマニウムに十分なアクセスを提供する。シリコンゲルマニウムエッチングは、反応性イオンエッチングによって、または、NH₄OH/H₂O₂/H₂Oのような選択的エッチング溶液を用いるウェットエッチングによって達成されることが好ましい。

【発明の効果】

【0038】

本発明の他の局面において、本発明は、絶縁された浮遊シリコンアクティブ領域上に、SONデバイスを製造するプロセスを開示する。SONデバイスは、近傍のSONデバイスから、周りを囲む絶縁トレンチによって完全に絶縁され、シリコンアクティブ領域下のエアギャップによって完全に絶縁される。SONデバイスのソース、ドレイン、およびチャネル領域のエアギャップ絶縁は、高性能デバイスを提供する。

【0039】

SONデバイス製造プロセスにおいて、シリコンアクティブ領域は、エピタキシャルシリコンゲルマニウム層の上に堆積される、エピタキシャルシリコン、ゲート誘電体およびキャップ層のマルチ層であることが好ましい。エピタキシャルシリコン層には、閾値電圧

を調節するために、ドープ不純物が注入されることが好ましい。絶縁された浮遊シリコンアクティブ領域の完成後、SONデバイスを作成するために、現行の技術レベルのトランジスタ製造プロセスが行われ得る。

【0040】

SONデバイスは、ポリシリコンゲートデバイスまたは金属ゲートデバイスであり得る。隆起したソースおよびドレインが製造され得る。

【発明を実施するための最良の形態】

【0041】

本発明は、半導体基板上に、絶縁された浮遊アクティブ領域を製造する方法を開示する。絶縁された浮遊アクティブ領域は、アクティブ領域を囲み、エアギャップ上で浮遊するトレンチ絶縁体によって絶縁される。エアギャップは、犠牲材料から製造され、その後選択的にエッティングされる。犠牲層が除去される場合にアクティブ領域が持ち上げられることを防ぐため、選択的なエッティング工程の前に、アクティブ領域を基板に固定する、複数のアンカーが製造される。その後、アンカーは、後の工程において、絶縁材料に同化し得る。

【0042】

図2Aは、半導体基板101上の、本発明による絶縁された浮遊アクティブ領域103を示す。絶縁された浮遊アクティブ領域103は、アクティブ領域103を囲む充填されたトレンチ絶縁体102によって絶縁され、エアギャップ104によって半導体基板101から絶縁されている。浮遊アクティブ領域103は、充填されたトレンチ絶縁体102によって支持されている。図2Bは、トレンチ絶縁体102によって囲まれた、絶縁された浮遊アクティブ領域103の平面図を示す。

【0043】

図3Aは、犠牲層116のエッティングの前にアクティブ領域113を支持するアンカー115を有する、絶縁された浮遊アクティブ領域構造を示す。この図において、トレンチ絶縁体112は、まだ充填されておらず、従って、アクティブ領域113は、アンカー115によって支持されている。図3Bは、支持アンカー115と共に、アクティブ領域113の平面図を示す。アンカー115は、遮断を最小限にし、犠牲層へのアクセスを最大限にすることによって、犠牲層116のエッティングを最適化するように設計されている。

【0044】

図4A～Fは、本発明による絶縁された浮遊アクティブ領域の完全な製造工程を示す。図4Aに示すように、アクティブ層120および犠牲層121を含むマルチ層構造が、半導体基板122上に堆積される。その後、図4Bに示すように、アクティブ領域124が、アクティブ領域の周りに絶縁トレンチ123をエッティングすることによって形成される。エッティングされた絶縁トレンチ123は、犠牲領域125のほとんどを露出させ、この図に示すように、犠牲領域125全体と、基板122の一部とを露出させることが好ましい。アンカー126は、図4Cに示すように、絶縁された浮遊アクティブ領域上に製造され、絶縁浮遊アクティブ領域124を露出された基板122に接続する。その後、犠牲領域125が、選択的にエッティングされて、エアギャップ127が形成され、図4Dに示すように、アンカー126によって支持される絶縁された浮遊アクティブ領域124が残される。図4Eに示すように、充填された層128は、構造全体の上に堆積され、絶縁トレンチ123を充填させる。絶縁トレンチの充填材は、絶縁トレンチ123を完全に充填し、エアギャップ127を完全には充填しないことが好ましい。充填材は、エアギャップのサイズを最大限にするため、エアギャップ127の充填が最小限になることがより好ましい。その後、充填層128は、全体的に平坦化するプロセス、例えば、化学機械研磨(CMP)を用いて平坦化され、図4Fに示すように、アクティブ領域124の上でストップされる。絶縁された浮遊アクティブ領域124は、エアギャップ127上を浮遊し、周りを、トレンチ絶縁体123によって絶縁され、基板122からは、エアギャップ127によって絶縁されている。絶縁浮遊アクティブ領域124は、ここでは、CMP工程後のアンカー126の残りと共に、充填されたトレンチ絶縁体123によって支持される。アン

10

20

30

40

50

カーナー 126 の残りは、同じ材料から製造されている場合、トレンチ絶縁体 123 に同化され得る。

【0045】

図 2A、3A、および 4F は、絶縁された浮遊アクティブ領域の層を 1 つしか示していないが、マルチ層を用いることも、本発明の範囲内である。絶縁された浮遊アクティブ領域が非常に薄く、構造的に安定しない場合、絶縁された浮遊アクティブ領域層の上に、その強度を増すため、さらなる層が堆積され得る。後に続くプロセス工程の層も、プロセスの流れを最適化するため、絶縁された浮遊アクティブ領域の形成の前に堆積され得る。

【0046】

絶縁された浮遊アクティブ領域の開示された製造プロセスの変形例において、図 4C1 および 4C2 の工程が図 4C の代わりになり得る。図 4C1 は、アンカーの形成の前に挿入される、犠牲領域を部分的にエッチングするさらなる工程を示す。浮遊領域 124 を支持するために十分な残りの犠牲領域 125 を残して、犠牲領域 125 の一部 130 がエッチングされる。プロセスのこの変形例によって、図 4C におけるアンカー形成プロセスは、図 4C2 において、犠牲領域にエアギャップ 130 がある状態で、アンカー 126 が浮遊領域 124 および基板 122 に取り付いていることが示される。アンカー材料を堆積するプロセスの条件は、ギャップ 130 が充填されないことである。このプロセス変形例は、エアギャップの形成の間の犠牲層のエッチングを向上させる。

【0047】

アンカー形成の各種の実施形態が図 5A～5D に示される。図 5A は、エアギャップ 136a 上の浮遊アクティブ領域 133a の 2 つの側面を基板 131a に支持する 2 つのアンカー 135a を示す。図 5B は、エアギャップ 136b 上の浮遊アクティブ領域 133b の 1 つの側面のみを基板 131b に支持する 1 つのアンカー 135b を示す。図 5C は、エアギャップ 136c 上の浮遊アクティブ領域 133c の 2 つの対向する側面を基板 131c に支持する 2 つのアンカー 135c を示す。図 5D は、エアギャップ 136d 上の浮遊アクティブ領域 133d の 2 つの側面を基板 131d に支持する 1 つの大きなアンカー 135d を示す図である。浮遊アクティブ領域を支持するアンカーにおいて、犠牲層の開口部全てを遮蔽することなく、アンカー構造のさらなる変形および改変が為され得ることが理解される。

【0048】

本発明の好ましい実施形態は、図 6 に示すような絶縁された浮遊シリコンアクティブ領域の製造である。絶縁された浮遊シリコンアクティブ領域は、シリコン層のエピタキシャル層 202 と、ゲート誘電体層 203 と、キャップ層 204 とを含み、周りをトレンチ絶縁体 205 によって絶縁され、シリコン基板 200 からエアギャップ 201 によって絶縁される。エピタキシャルシリコン層 202 は、デバイス閾値電圧を調節するために注入され得る。キャップ層は、ゲートポリシリコンデバイスを製造するためにポリシリコン層であってもよいし、金属ゲートデバイスの製造においては、CMP ストップ層として、ポリシリコン、二酸化シリコン、または窒化シリコンであってもよい。

【0049】

本発明の絶縁された浮遊シリコンアクティブ領域の製造プロセスは、以下に説明される。シリコンウェハ基板から開始して、シリコンゲルマニウムの層がエピタキシャル堆積される。その後、シリコン層の厚さが 3 nm～100 nm であることが好ましい、シリコンのエピタキシャル層が堆積される。本発明のいくつかの局面において、ゲート誘電体層、ゲートポリシリコン層、キャップ層などの後に続く層も、シリコン層の上に堆積される。シリコン層が非常に薄く、構造的に安定していない場合、シリコン層の上に、その強度を高めるため、さらなる層が堆積され得る。また、後に続くプロセス工程は、汚染を防ぐためにシリコンアクティブ領域の形成の完了を待つのではなく、表面の清浄度を高め、プロセスの流れを最適化するため、シリコン層堆積の直後に適用され得る。閾値電圧を調節するイオン注入工程は、エピタキシャルシリコン堆積工程の後に行われ得る。ポリシリコンゲートデバイスの場合、ゲート誘電体層およびゲートポリシリコン層が、エピタキシャル

10

20

30

40

50

シリコン層上に堆積され得る。金属ゲートデバイスの場合、ポリシリコン、二酸化シリコンまたは窒化シリコンなどのゲート誘電体およびC M Pストップ層が、堆積され得る。C M Pストップ層は、化学機械研磨(C M P)工程などの全体的に平坦化する工程における、平坦化ストップに用いられる。

【0050】

犠牲層としてシリコンゲルマニウムの層が選択される。なぜなら、シリコンゲルマニウムは、浮遊シリコン層のためのエアギャップを形成するように、シリコンに対して選択的にエッチングされ得るからである。デバイス用途において、シリコンゲルマニウムは、シリコンと格子が整合するというさらなる利点を有し、エピタキシャルシリコン層の堆積が容易になることにつながる。シリコンゲルマニウム層のゲルマニウム含有量は、10～70%の間であり得、20～60%であることが好ましい。ゲルマニウム含有量が低い場合、格子ひずみが少なく、従って、エピタキシャルシリコン堆積がより容易である。ゲルマニウム含有量が高い場合、シリコンに対するエッチング選択性がより良好であり、エアギャップ形成がより容易である。シリコンゲルマニウムおよびシリコンの格子は、僅かに異なり、シリコン上のエピタキシャルシリコンゲルマニウムの堆積は、シリコンに類似する格子とのひずんだシリコンゲルマニウムを作成する。シリコンゲルマニウムが臨界厚さよりも厚い場合、シリコンゲルマニウムの格子は、シリコンゲルマニウムの平衡格子まで緩和し得、後で堆積されるエピタキシャルシリコンを困難にし得る。従って、シリコンゲルマニウムの厚さは、臨界厚さよりも薄くなるように選択され、シリコンゲルマニウムの緩和が起きないようにすることが好ましい。シリコンゲルマニウムの厚さは、3nm～50nmの間であることが好ましい。

10

20

30

【0051】

マルチ層構造の堆積後、マルチ層構造は、シリコンアクティブ層にパターニングされる。パターニング工程の好ましいプロセスは、イメージをフォトマスクからフォトレジストコーティングに転写するフォトリソグラフィである。代表的なフォトリソグラフィプロセスにおいて、マルチ層は、フォトレジスト層でコーティングされ、フォトレジスト層は、フォトマスクと共にUV光に露光され、その後、現像される。用いられるフォトレジストのタイプ、例えば、ネガティブレジストまたはポジティブレジストに依存して、フォトマスクからのイメージは、フォトレジスト上に、ポジティブまたはネガティブに転写される。

40

【0052】

その後、シリコンアクティブ領域を囲む絶縁トレンチが、パターニングされたシリコンアクティブ領域をエッチングすることによって製造される。絶縁トレンチは、シリコンゲルマニウム層の少なくとも殆どを露出する。絶縁トレンチエッチングは、シリコンゲルマニウム層全体に、シリコン基板へのオーバーエッチ量を加えた分を露出させることが望ましい。シリコン基板オーバーエッチは、シリコンアクティブ領域が完全に絶縁され、深い絶縁体は必要ないので、10nmの深さになり得る。パターニングされたフォトレジストは、絶縁トレンチエッチングにおいて、シリコンアクティブ領域を保護する。シリコンアクティブ領域の形成後、フォトレジストははがされ得る。

50

【0053】

浮遊シリコンアクティブ領域を形成するために、シリコンゲルマニウム層がエッチングによって取り除かれる前に、シリコン層が持ち上げられることを防ぐために、基板に固定する必要がある。その後、複数のアンカーが形成され、シリコンアクティブ層を基板に接続して、後に続くシリコンゲルマニウム下層のエッチングにおいて、シリコンアクティブ領域を支持する。アンカー材料は、シリコンゲルマニウム下層のエッチングにおいてエッチングされることを防ぐために、シリコンゲルマニウムとは異なる。アンカー材料は、二酸化シリコンなどの絶縁材料であることが好ましい。なぜなら、そうすることによって、アンカーがシャロートレンチ絶縁材料の一部となり得るからである。アンカーは、エッチングアクセスを可能にするように、シリコンゲルマニウムに対して十分な開口部を残すことが好ましい。

【0054】

アンカーは、以下のように製造されることが好ましい。二酸化シリコンまたは窒化シリコン等の絶縁材料の薄いアンカー層が一面に堆積される。アンカー層の厚さは、10 nm～500 nmの間であることが好ましい。アンカー層は、シリコン層および基板の両方を覆う。その後、アンカー層は、フォトリソグラフィ工程によってパターニングされることが好ましい。アンカー層の選択された部分は、エッチングで取り除かれて、シリコン層を基板に接続する複数のアンカーが形成される。

【0055】

アンカーの形成後、シリコンゲルマニウムがエッチングで取り除かれて、浮遊シリコンアクティブ領域が形成される。シリコンゲルマニウムはエアギャップを形成するために完全にエッチングされることが好ましいが、シリコンアクティブ領域の下にシリコンゲルマニウムの支持柱を残すように部分的にエッチングされてもよい。アンカーは、シリコンゲルマニウムがエッチングで取り除かれる場合、浮遊シリコンアクティブ領域が適切に支持されるように設計されることが好ましい。シリコンゲルマニウムのエッチングは、シリコンに対して選択的であることが好ましい。 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ の混合物が、選択的シリコンゲルマニウムウェットエッチングに用いられ得る。プラズマドライエッチングがまた、シリコンゲルマニウム層を選択的にエッチングすることに適用され得る。

10

【0056】

シリコンゲルマニウムの部分エッチングの任意の工程が、アンカーの形成の前に行われ得る。シリコンゲルマニウムは、ゲルマニウム層が残った部分がある状態でシリコンゲルマニウムをへこませるように、部分的にエッチングされ得る。アクティブ領域の中間のシリコンゲルマニウムの残りの部分は、シリコンアクティブ領域が持ち上げられることを防ぐために用いられる。この変形例において、アンカー層堆積特徴は、シリコンゲルマニウムの凹部の充填を防ぐため、形状が一致し過ぎない(not too conformal)ことが好ましい。プラズマ強化化学蒸着技術が、アンカー層の堆積のために好ましい。

20

【0057】

その後、絶縁トレンチが充填され、平坦化される。充填された層は、アンカー層と同じ材料であることが好ましく、二酸化シリコンまたは窒化シリコンなどの絶縁材料であることが好ましいが、絶縁トレンチを充填するように堆積される。充填された層は、絶縁トレンチを充填することが好ましく、エアギャップを完全には充填しないことが好ましい。その後、平坦化が、表面を平滑にするために行われ、キャップ層上でストップされる。ここで、シリコン層は、エアギャップの上に浮遊し、絶縁トレンチおよびエアギャップによって完全に絶縁される。

30

【0058】

本発明の他の好ましい実施形態は、ソースおよびドレイン領域がシリコン基板から絶縁されたシリコン・オン・ナッシング(SON)デバイスの製造である。開示された、ソース、ドレインおよびゲート領域を含むSONデバイスは、絶縁された浮遊シリコンアクティブ領域上に製造される。

40

【0059】

図7Aは、現行の技術レベルのプロセスを用いて準備されたマルチ層半導体構造を示す。マルチ層構造は、ゲートポリシリコンの層304と、ゲート誘電体の層303と、エピタキシャルシリコン層302と、エピタキシャルシリコンゲルマニウム層301とを、シリコンウェハ基板300上に含む。エピタキシャルシリコンゲルマニウム層301は、シリコン基板300上に成長する。シリコンゲルマニウム301の厚さは、緩和が起きないように臨界厚さよりも薄いことが好ましい。シリコンゲルマニウム301の厚さは、3 nm～50 nmの間であることが好ましい。エピタキシャルシリコン層302は、シリコンゲルマニウム層301上に成長する。エピタキシャルシリコン層302の厚さは、3 nm～100 nmの間であることが好ましい。エピタキシャルシリコン層のドーピング濃度は、閾値電圧を調節するように、チャネルイオン注入によって変更され得る。ゲート誘電体

50

層 303 は、エピタキシャルシリコン層 302 上に成長または堆積される。ゲート誘電体材料は、二酸化シリコンであり得、酸化ハフニウムまたは酸化ジルコニウムなどの hig h-k 誘電体材料であることが好ましい。その後、ゲートポリシリコン層 304 が堆積される。ポリシリコン層 304 が、ゲート材料として、または、単に、化学機械研磨 (CMP) ストップ層として、用いられ得る。CMP ストップ層に用いられる場合、窒化シリコンが代わりに用いられ得、CMP 工程後に取り除かれ、ゲート誘電体およびゲート電極が、CMP ストップ層の除去後に堆積される。

【0060】

図 7B は、マルチ層構造をシリコンアクティブ領域にパターニングするシャロートレンチ絶縁フォトリソグラフィプロセスを示す。フォトレジスト 305 は、アクティブ領域を規定する。シリコンゲルマニウムエッチャリングレートおよびシリコンゲルマニウムに対するシリコンエッチャリング選択性に依存して、シリコンアクティブ領域レイアウトにおけるポリゴンの最大寸法を規定することが好ましい場合がある。

【0061】

図 7C は、シリコンアクティブ領域を囲む絶縁トレンチ 306 を示す。フォトレジスト 305 は、絶縁トレンチエッチャリング工程におけるマルチ層を保護し、図 7D に示すように、絶縁トレンチエッチャリングの完了後に除去される。絶縁トレンチエッチの深さは、オーバーエッチ量がある状態で、シリコンゲルマニウム層 301 よりも僅かに下までいくことが好ましい。デバイスが上部エピタキシャルシリコン層 302 上に製造され、シリコンゲルマニウム 301 が空気と置き換えられるので、深い絶縁は必要とされない。絶縁トレンチオーバーエッチは、5 nm ~ 50 nm の間であり得、シリコンゲルマニウム層の 10 nm 下であることが好ましい。

【0062】

図 7E は、二酸化シリコンまたは窒化シリコンであることが好ましい、アクティブ領域および絶縁トレンチの上に堆積されたアンカー層 310 を示す。図 7F は、アンカーを規定するフォトリソグラフィ工程を示す。フォトレジスト 311 がアンカー領域を保護する。

【0063】

図 7G は、フォトレジストパターン 311 がアンカー構造を保護する状態で、パターニングされたアンカー層がエッチャリングで取り除かれた後のアンカー 312 の形成を示す。図 7H は、フォトレジスト 311 がはがされた後のアンカー構造 312 を示す。アンカー 312 は、アクティブ領域のゲートポリシリコン層 304 の上面と、層 304、303、および 302 の側壁とに取り付けられる。アンカーはまた、露出したシリコン基板 300 の表面上に取り付けられる。アンカーはまた、シリコンゲルマニウムの側壁に取り付けられてもよいが、シリコンゲルマニウムがエッチャリングで取り除かれるので、アンカーとシリコンゲルマニウムとの間の接着は、決定的なものではない。

【0064】

図 7I は、シリコンゲルマニウムがエッチャリングで取り除かれた後のエアギャップ 313 の形成を示す。アクティブ領域 304、303、および 302 は、ここでは、エアギャップ 313 の上でアンカー 312 によって支持される。

【0065】

図 7J は、絶縁トレンチの充填を示す。絶縁トレンチを完全に充填し、エアギャップを充填しないことが好ましい。図 7K は、CMP を用い、ポリシリコン層 304 でストップする平坦化工程を示す。充填された絶縁トレンチ 306 およびアンカー 312 の残りは、ここでは、エアギャップ 313 の上でシリコンアクティブ領域を支持する。

【0066】

図 7L は、ポリシリコンの第 2 の層 321 を堆積する次の任意の工程を示す。図 7M は、フォトレジストパターン 322 を用いてポリシリコン層 321 の上にゲートポリシリコンを形成する工程を示す。第 2 のポリシリコン層 321 は、フィールド絶縁領域までポリシリコンゲートを延長するために用いられ、アクティブ領域の上で第 1 のポリシリコン層

304に同化される。

【0067】

図7Nは、フォトレジスト322をマスクとして用いた、ポリシリコン層321のエッチングによるゲートポリシリコン形成を示す。ゲート形成は、第1のポリシリコン層304をエッチングし、ゲート酸化物303をエッチングし、シリコン層302上でストップする。フォトレジスト322は、図7Oにおいてはがされる。

【0068】

ゲートポリシリコン形成後、デバイスは、図7Pに示すように、現行の技術レベルのCMOSプロセス技術によって完成され得る。SONデバイスは、残りのアンカー312を有するトレンチ絶縁体306によって絶縁され、エアギャップ313上で完全に浮遊する。ポリシリコンゲート321には、導電性を高めるために、ドープ不純物が注入され得る。ソース領域342およびドレイン領域341は、当該技術において周知であるように、ドープ不純物、n+またはp+の注入によって形成される。ソース342およびドレイン341領域の形成の前、または形成と共に、低ドープドレイン/ソース(LDD)領域およびHALOも形成され得る。本発明のSONデバイスのソース342およびドレイン341領域はまた、エアギャップ313によって、シリコン基板300から絶縁される。ゲートスペーサー349は、ゲート構造321および304を絶縁するように製造され得る。トランジスタ構造は、nチャネルまたはpチャネルデバイスのいずれかであり得る。その後、金属化が続き、デバイス製造が完了する。酸化層344が構造を覆い、その後、金属化インターフェクションのため、コンタクトホールがエッチングされる。その後、金属が堆積されて、ソース電極346、ドレイン電極347、およびゲート電極345が形成される。ソース、ドレインおよびポリシリコンゲートのシリサイデーションがまた、適用されてもよい。

【0069】

さらに、シリコン・オン・ナッシングデバイスのソースおよびドレイン領域は、トランジスタの直列の抵抗を低減するために隆起したソースおよびドレイン技術によってソースおよびドレイン領域が拡大され得る、隆起したソースおよびドレイン領域であってもよい。隆起ソースおよびドレインのプロセスは、Hsuらによる、「Double side wall raised silicided source/drain CMOS transistor」という名称の米国特許第6,368,960号、およびSakiyamaらによる、「Raised silicide source/drain MOS transistors having enlarged source/contact regions and method」という名称の米国特許第6,352,899号に見受けられる。これらの特許は本明細書中で参考として援用される。

【0070】

上記の一連のプロセスは、ポリシリコンゲートを有するデバイスにも適用可能である。本発明のシリコン・オン・ナッシングデバイス製造はまた、金属ゲートを有するデバイスにも適用可能である。このデバイスにおいて、ゲート材料は、銅、アルミニウム、タンガステン、ニッケル・チタン、タンタル、プラチナ、または、これらを組み合わせた任意の合金などの金属である。金属ゲートCMOSプロセスは、絶縁された浮遊シリコンアクティブ領域を採用して、金属ゲート電極を有するデバイスを製造するように調節され得る。金属ゲートMOSトランジスタを製造するプロセスは、Hsuらによる、「Method of making metal gate sub-micron MOS transistor」という名称の米国特許第6,274,421号に見受けられる。この特許は本明細書中で参考として援用される。

【0071】

上記の一連のプロセスの改変例において、シリコンゲルマニウム層301の部分的なエッチングが、アンカー層の堆積の前に達成され得る。図7Dに示すようなトレンチ絶縁形成の後、選択的シリコンゲルマニウムエッチングが行われ得る。図7D1は、図7Dの後のさらなる工程を示す。この工程において、シリコンゲルマニウムエッチング工程は、シ

10

20

30

40

50

リコンアクティブ領域が持ち上がるのを防ぐために残りのシリコンゲルマニウムの部分を残した状態で、凹部340を形成する。このプロセスは、図7Eに示すように、アンカーレイ310の堆積から続けられる。アンカーレイがシリコンゲルマニウムエッチング部分のギャップを充填しないことが好ましいので、アンカーレイのプラズマ強化化学蒸着法が、このギャップの充填を防ぐために好ましい。

【0072】

さらに、上記の一連のプロセスの改変例において、選択的シリコンゲルマニウム層301の後に、熱酸化工程が挿入されてもよい。この熱酸化工程に起因して、エアギャップには、おそらく、熱成長した二酸化シリコンが部分的にまたは完全に充填される。シリコンアクティブ層302の底面上に熱成長した二酸化シリコンは、デバイス性能を高め得る。

10

【0073】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によつてのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができる事が理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【0074】

(要約)

シリコン基板上にシリコン・オン・ナッシングデバイスを製造する方法が提供する。開示されたシリコン・オン・ナッシングデバイスは、絶縁された浮遊シリコンアクティブ領域上に製造され、シリコン基板からエアギャップによって完全に絶縁される。絶縁された浮遊シリコンアクティブ領域は、周りを囲む絶縁トレンチと共に、シリコンゲルマニウム層上に製造される。その後、エアギャップを形成するようにシリコンゲルマニウム層を選択的にエッティングする前に、シリコンアクティブ領域をシリコン基板に固定するために、複数のアンカーが製造される。絶縁トレンチ充填および平坦化は、絶縁された浮遊シリコンアクティブ領域の形成を完了させる。絶縁された浮遊シリコンアクティブ領域上のシリコン・オン・ナッシングデバイスは、隆起したソースおよびドレイン領域を有するか、または有さない、ポリシリコンゲートまたは金属ゲートであり得る。

20

【図面の簡単な説明】

【0075】

【図1A】図1Aは、従来技術によるSONデバイスを示す図である。

【図1B】図1Bは、従来技術によるSONデバイスを示す図である。

【図2A】図2Aは、本発明による絶縁された浮遊アクティブ領域を示す図である。

【図2B】図2Bは、本発明による絶縁された浮遊アクティブ領域を示す図である。

【図3A】図3Aは、本発明によるアクティブ領域を支持するアンカー構造を示す図である。

【図3B】図3Bは、本発明によるアクティブ領域を支持するアンカー構造を示す図である。

30

【図4A】図4Aは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図4B】図4Bは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図4C】図4Cは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図4C1】図4C1は、図4Cに示す製造工程の変形例を示す図である。

【図4C2】図4C2は、図4Cに示す製造工程の変形例を示す図である。

【図4D】図4Dは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図4E】図4Eは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図4F】図4Fは、絶縁された浮遊アクティブ領域の製造工程を示す図である。

【図5A】図5Aは、アンカー構造の変形例を示す図である。

【図5B】図5Bは、アンカー構造の変形例を示す図である。

40

50

- 【図 5 C】図 5 C は、アンカー構造の変形例を示す図である。
- 【図 5 D】図 5 D は、アンカー構造の変形例を示す図である。
- 【図 6】図 6 は、本発明による絶縁された浮遊シリコンアクティブ領域を示す図である。
- 【図 7 A】図 7 A は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 B】図 7 B は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 C】図 7 C は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 D】図 7 D は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 D 1】図 7 D 1 は、製造工程の変形例を示す図である。
- 【図 7 E】図 7 E は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 F】図 7 F は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 G】図 7 G は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 H】図 7 H は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 I】図 7 I は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 J】図 7 J は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 K】図 7 K は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 L】図 7 L は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 M】図 7 M は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 N】図 7 N は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 O】図 7 O は、本発明による SON デバイスの製造工程を示す図である。
- 【図 7 P】図 7 P は、本発明による SON デバイスの製造工程を示す図である。

10

20

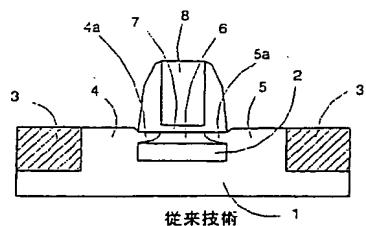
30

【符号の説明】

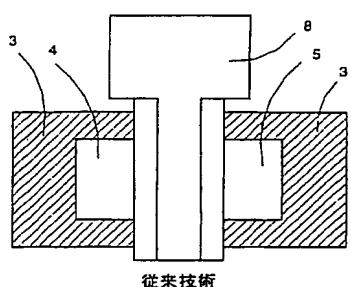
【0076】

- 101 半導体基板
- 102 絶縁体
- 103 浮遊アクティブ領域
- 104 エアギャップ
- 113 アクティブ領域
- 115 アンカー
- 116 犠牲層
- 120 アクティブ層
- 121 犠牲層
- 122 基板
- 123 絶縁トレンチ
- 124 浮遊アクティブ領域
- 125 犠牲層
- 126 アンカー
- 127 エアギャップ
- 128 充填された層

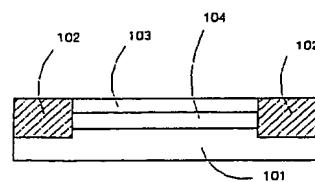
【図 1 A】



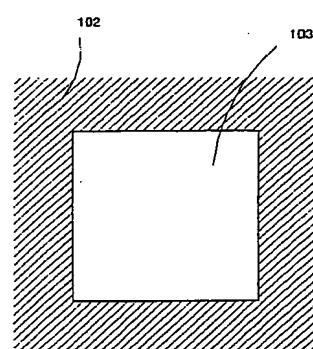
【図 1 B】



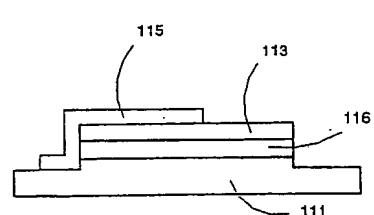
【図 2 A】



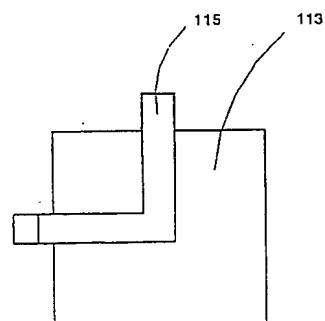
【図 2 B】



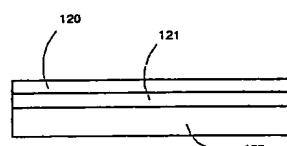
【図 3 A】



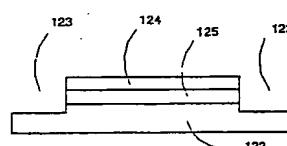
【図 3 B】



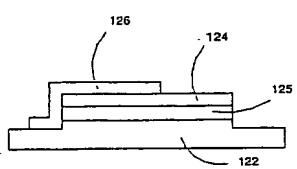
【図 4 A】



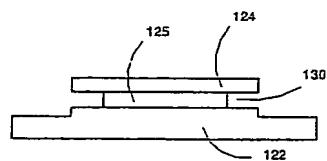
【図 4 B】



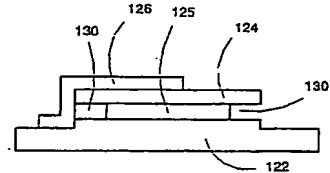
【図 4 C】



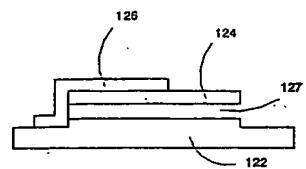
【図 4 C 1】



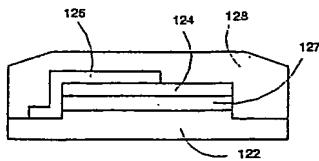
【図 4 C 2】



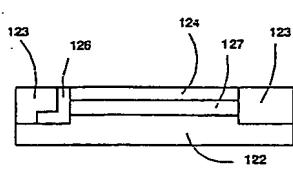
【図 4 D】



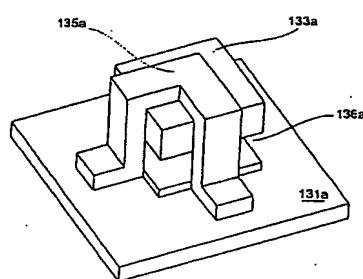
【図 4 E】



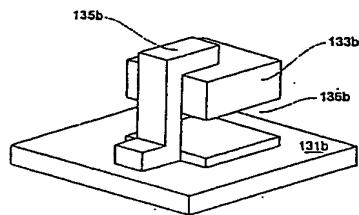
【図 4 F】



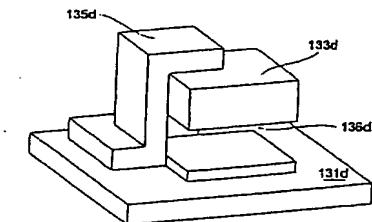
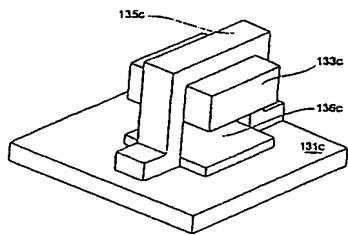
【図 5 A】



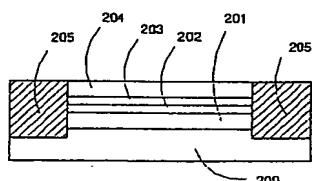
【図 5 B】



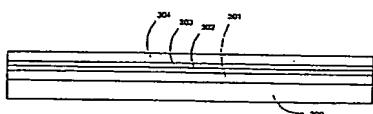
【図 5 C】



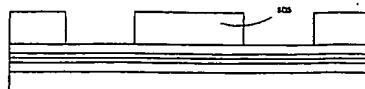
【図 6】



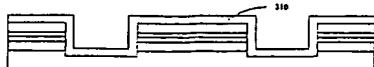
【図 7 A】



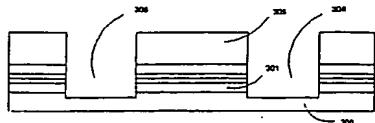
【図 7 B】



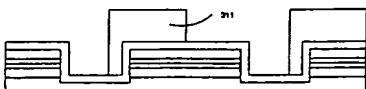
【図 7 E】



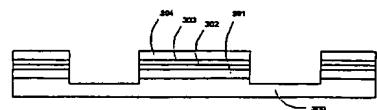
【図 7 C】



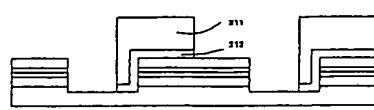
【図 7 F】



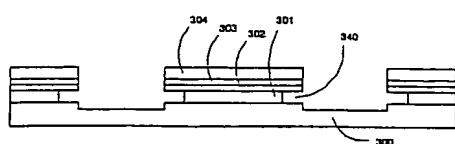
【図 7 D】



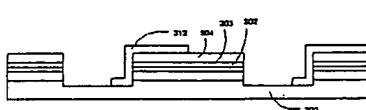
【図 7 G】



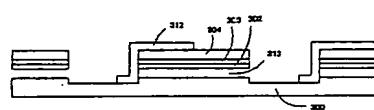
【図 7 D 1】



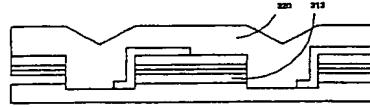
【図 7 H】



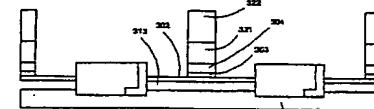
【図 7 I】



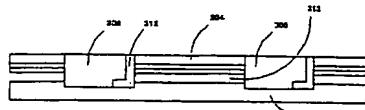
【図 7 J】



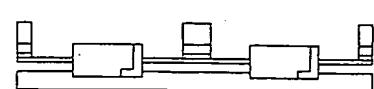
【図 7 N】



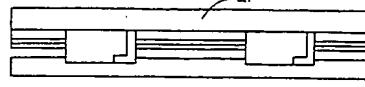
【図 7 K】



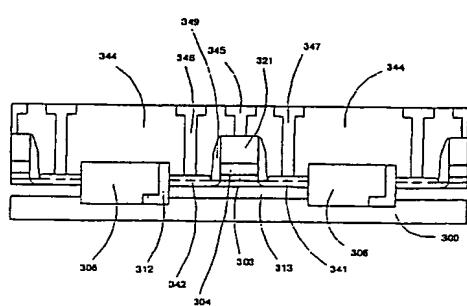
【図 7 O】



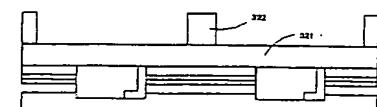
【図 7 L】



【図 7 P】



【図 7 M】



フロントページの続き

(72)発明者 シェン テン スー

アメリカ合衆国 ワシントン 98607, カマス, エヌダブリュー トラウト コート 2
216

Fターム(参考) 5F032 AA01 AA34 AC02 BA01 CA17 DA02 DA12 DA24 DA33 DA43
5F110 AA30 BB04 CC02 DD05 EE02 EE03 EE04 EE09 FF01 FF02
GG02 GG12 GG25 GG42 GG52 HM15 NN02 NN23 NN62

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)